

CONSERVATOIRE NATIONAL DES ARTS ET METIERS

CENTRE REGIONAL ASSOCIE DE CLERMONT-FERRAND

MEMOIRE

présenté en vue d'obtenir le

DIPLOME D'INGENIEUR C.N.A.M.

en

ELECTRONIQUE

Par

Daniel Lambert

Logique de décision destinée à l'étalonnage d'un détecteur
en physique des particules par un système laser.

Soutenu le 13 juin 2002

JURY :

Président :	Monsieur	H. VU THIEN
Membres :	Monsieur	J.P. BLANC
	Monsieur	R. CHADELAS
	Monsieur	J.P. CHAUSSE
	Monsieur	Y. CUMINAL
	Monsieur	M. SCHNEIDER
	Monsieur	R. VALLET
	Monsieur	F. VAZEILLE

Table des matières

Introduction	1
1 Expérience ATLAS au LHC	4
1.1 Présentation du LHC	4
1.2 Détecteur ATLAS	5
1.3 Recherche dans ATLAS	6
1.4 Constitution d'un détecteur	6
1.5 Calorimètre hadronique (TILECAL)	7
1.5.1 Constitution du TILECAL	7
1.5.2 Principe du photomultiplicateur	8
1.5.3 Bloc photomultiplicateur	10
1.6 Méthodes de calibration du TILECAL	11
2 Structure du LHC	13
2.1 Fonctionnement du LHC	13
2.2 Stratégie des déclenchements	14
2.3 Définition des signaux fournis par le LHC	15
3 Système de calibration laser	17
3.1 Principe du laser	17
3.2 Type de laser utilisé par le TILECAL	18
3.3 Constitution du système laser	19
3.4 Boîte à photodiodes	21
3.4.1 Principe d'une photodiode	22
3.4.2 Fonctionnement de la boîte	22
3.4.3 Contraintes	23
3.4.4 Modes d'acquisition	23
3.5 Performance du laser	24
3.5.1 Principe de la mesure	24
3.5.2 Résultat de la mesure	25
4 Cahier des charges	26
4.1 Entrée de discrimination	26
4.2 Entrées-sorties numériques	27
4.3 Différents modes de fonctionnement	28
4.4 Impulsion laser	29
4.5 Mesure du temps de réponse	29
4.6 Convertisseur numérique analogique (CNA)	29
4.7 Convertisseur analogique numérique (CAN)	29
4.7.1 Mesure des signaux photodiodes et photomultiplicateurs	29
4.7.2 Mesure de l'amplitude laser	30
4.8 Interface avec le logiciel	30
4.9 Evolution du système	31

5	Composants numériques programmables	34
5.1	Entrées-sorties	34
5.2	Eléments logiques	36
5.3	Configuration des circuits FPGA	36
5.3.1	Mode série	37
5.3.2	Mode parallèle	37
5.3.3	Programmation multiple en chaînant les FPGA	37
5.3.4	Programmations simultanées	38
5.3.5	Mode JTAG	38
6	Outils informatiques	39
6.1	Simulation analogique	39
6.1.1	Principe de la simulation	39
6.1.2	Résultats de la simulation analogique	40
6.2	Simulation numérique	40
6.2.1	Principe de la simulation numérique	40
6.2.2	Exemple de simulation avec description VHDL	41
6.2.3	Synthèse	43
6.3	Placement routage	45
6.4	Exemple de fichier de test de Simulation VHDL	45
7	Etude de la carte SLAMA	48
7.1	Généralité	49
7.2	Discriminateur	50
7.2.1	Discriminateur à seuil constant	50
7.2.2	Discriminateur à fraction constante	51
7.3	Convertisseur numérique de temps (TDC)	56
7.3.1	Principe du TDC	56
7.3.2	Rôle et caractéristiques du TDC	57
7.3.3	L'électronique de gestion du AMT-1 (EGA)	58
7.3.4	Interface avec le TDC AMT-1	59
7.3.5	Interface avec l'UCA	59
7.3.6	Mémoire de l'historique	59
7.4	L'unité de calculs et ajustements	60
7.4.1	L'unité de calculs	60
7.4.2	L'unité d'ajustements	61
7.5	L'unité de déclenchement	62
7.6	Logique de fonctionnement autonome (LFA)	62
7.7	Interface VME	63
7.8	Configuration FPGA	66
8	Test de la carte SLAMA	67
8.1	Discriminateur	67
8.1.1	Le principe du test	67
8.1.2	Résultats des tests	68
8.1.3	Interprétation des résultats	68
8.2	Programmation des FPGA	69
8.3	Test de l'Interface VME	70
8.4	Entrées-sorties	71

8.4.1	Entrées-sorties LVDS	71
8.4.2	Entrées-sorties NIM	72
8.4.3	Entrées-sorties ECL unipolaire	74
8.5	Test du TDC AMT-1	75
8.6	Test du CNA	75
8.7	Test du CAN	76
Conclusion		79
Annexe 1 Schéma de la carte SLAMA		81
Annexe 2 Modèles VHDL		95
Annexe 3 Placement routage		100
Annexe 4 Modèle spice		103
Annexe 5 Modes et signaux d'interface du bus VME.		107
Annexe 6 Calculs du temps de gigue du discriminateur à fraction constante.		112
Annexe 7 Documentation TDC.		115
Bibliographie		118
Index des figures		119
Index des tableaux		121

Remerciements

*Je remercie les **membres du Jury**, et notamment son Président **Monsieur Vu Thien**, professeur au Conservatoire National des Arts et Métiers de Paris, d'avoir accepté de donner un jugement sur le travail présenté dans ce mémoire.*

*Je remercie **Monsieur Jean-Pierre Chausse** en sa qualité de responsable de la filière électronique du Centre Régional Associé au CNAM de Clermont-Ferrand, d'avoir suivi le stage que j'ai effectué.*

*Je tiens également à remercier **Monsieur Bernard Michel**, Directeur du Laboratoire de Physique Corpusculaire de Clermont Ferrand, de m'avoir permis d'effectuer ce stage dans son unité de recherche. J'associe à ces remerciements **Monsieur Michel Brossard**, responsable de l'équipe d'électronique à laquelle j'appartiens depuis janvier 1995.*

*J'exprime toute ma reconnaissance à **Monsieur Robert Chadelas** qui, durant toute la durée du stage et de la rédaction de ce mémoire, m'a guidé et fait partager ses connaissances et ses compétences dans les expériences de Physique des particules.*

*Je tiens à remercier les membres de l'équipe clermontoise travaillant sur le projet **ATLAS**, et notamment son responsable, **Monsieur François Vazeille** coordinateur électronique du calorimètre hadronique et **Monsieur Louis Pierre Says** pour ses conseils sur la partie optique.*

D'une manière générale, je remercie tous ceux qui ont bien voulu porter un œil critique à mon travail.

*Je remercie également les personnes du service électronique qui m'ont apporté leur aide dans la réalisation de ce projet, et notamment **Mademoiselle Marie Lyse Mercier** pour la réalisation du circuit imprimé et **Monsieur Christian Fayard** pour le câblage de la carte électronique.*

Enfin, je voudrais exprimer toute ma reconnaissance à mon entourage et à ma famille qui a eu la patience et l'enthousiasme de m'encourager dans cette démarche.

L'esprit préexiste à la matière.
L'esprit habite chaque atome, chaque particule.
L'esprit est la partition de l'univers.
La force immatérielle qui forge la réalité concrète.

[Jean-Christophe Grangé]

Introduction

La connaissance et la compréhension de l'univers sont les préoccupations de la communauté scientifique. Les chercheurs en physique des particules étudient l'infiniment petit pour identifier les constituants de la matière. En outre cette quête a un impact sur la connaissance de l'infiniment grand, puisqu'elle permettra d'affiner le mécanisme de la naissance de l'univers appelé « BIG BANG ».

Dans la traque de cet infiniment petit, les physiciens doivent concevoir et réaliser des détecteurs démesurés par rapport à la grandeur des particules recherchées. Mais pour obtenir de meilleurs résultats que lors des expériences du passé, ils sont obligés également d'imaginer de nouveaux accélérateurs développant des énergies de plus en plus grandes.

Ces expériences permettent notamment de confirmer les théories établies ou d'en affirmer des nouvelles. Le modèle standard des particules régit toutes les interactions entre les particules constituant la matière. Même s'il est quasiment parfaitement défini, un mystère subsiste qui concerne la masse des particules et que pourrait expliquer la théorie du **Boson de HIGGS**. De plus, il est incomplet car de nombreux paramètres sont introduits de manière ad hoc.

Les nouvelles expériences sont en cours de développement et de construction au **Laboratoire Européen de physique des particules (CERN¹)** qui est situé à la frontière franco-suisse près de Genève. Il rassemble toutes les nationalités de chercheurs regroupés en collaboration. Chaque équipe de travail a la charge d'une partie des détecteurs. Ces derniers disposeront de la puissance du grand collisionneur de hadron, le **LHC** (Large Hadron collider) qui sera mis en service en 2007. Dans un premier temps, les prises de données seront effectuées pour tester le fonctionnement de l'appareillage, avant de s'intéresser aux données purement physiques.

ATLAS (Air Toroid LHC Apparatus System) fait partie de l'un de ces quatre grands détecteurs implantés sur l'anneau du LHC. C'est l'appareillage le plus grand construit sur cet accélérateur.

Le Laboratoire de Physique Corpusculaire de Clermont Ferrand (LPC) est une unité mixte de l'**Université Blaise Pascal** et du **CNRS**. Une équipe de recherche du LPC est impliquée dans la construction du calorimètre hadronique faisant partie du détecteur ATLAS. Pour connaître le suivi des performances d'un tel sous-détecteur, il est indispensable d'effectuer des étalonnages réguliers (calibrations). C'est dans le cadre de l'une de ces calibrations que se situe l'étude présentée dans ce mémoire.

¹ CERN : Ce sigle était connu sous le nom de Conseil Européen de la Recherche Nucléaire.

Il existe différents systèmes de calibration pour un même sous-détecteur. Ils permettent d'étalonner l'instrumentation ou l'électronique de lecture des calorimètres. Le dispositif étudié ici doit calibrer les photomultiplicateurs et l'électronique placée en aval. Les photomultiplicateurs ont pour fonction de transformer la lumière en impulsion électrique. Pour évaluer leurs caractéristiques, un mécanisme doit injecter un faisceau lumineux. La lumière émise par effet laser est connue pour être la plus stable en longueur d'onde des sources lumineuses.

La solution retenue pour simuler le mieux possible l'énergie des particules physiques fait appel à un laser pulsé. Cet appareillage doit être commandé par une carte électronique de contrôle et d'acquisition qui tienne compte des contraintes extérieures au système.

Ce mémoire présente l'étude d'une carte électronique permettant de piloter un laser en fonction des contraintes de la physique. Elle doit également déclencher l'acquisition des données et gérer ses propres calibrations.

La première partie, constituée des deux premiers chapitres, est consacrée à la physique et à la constitution du calorimètre étudié au LPC. Cette description permet de connaître les conditions extérieures influant sur le système de calibration laser. Afin de déterminer la fréquence et l'utilisation de l'appareillage d'étalonnage, une explication succincte du fonctionnement de l'accélérateur de particules LHC est fournie.

La deuxième partie, constituée des chapitres trois et quatre, décrit le système laser et les définitions des contraintes. Le système mécanique et le système d'interface avec le laser sont expliqués afin de connaître les règles à appliquer à la carte de commande.

La troisième partie explique la technologie des circuits programmables employés pour réaliser cette fonction et les méthodes informatiques pour effectuer un tel développement.

La dernière partie décrit l'étude et le fonctionnement de la carte électronique de gestion du laser, ainsi que les tests effectués sur cette carte (chapitre 9). La description des différents blocs qui constituent la carte électronique est détaillée dans le chapitre 8 où les choix technologiques sont discutés.

Enfin, avant de conclure, la dernière étape présente les perspectives d'amélioration de la carte électronique commandant le laser.

PARTIE 1

Chapitre 1 Expérience ATLAS

Chapitre 2 Structure du LHC

1 Expérience ATLAS au LHC

Le détecteur de physique des particules ATLAS sera mis en service au cours de l'année 2007. Il sera implanté au CERN sur le collisionneur LHC.

Il est issu d'une collaboration internationale regroupant plus de 150 universités et laboratoires basés dans 34 pays.

1.1 Présentation du LHC

L'accélérateur de particules, dans notre cas de protons, est un anneau de 27 km de circonférence dans lequel sont placées quatre expériences:

- ALICE,
- ATLAS,
- CMS,
- LHCb.

Le LHC est un collisionneur proton-proton ayant deux faisceaux tournant en sens inverse et se croisant aux points d'intersections correspondant aux quatre expériences citées ci-dessus.

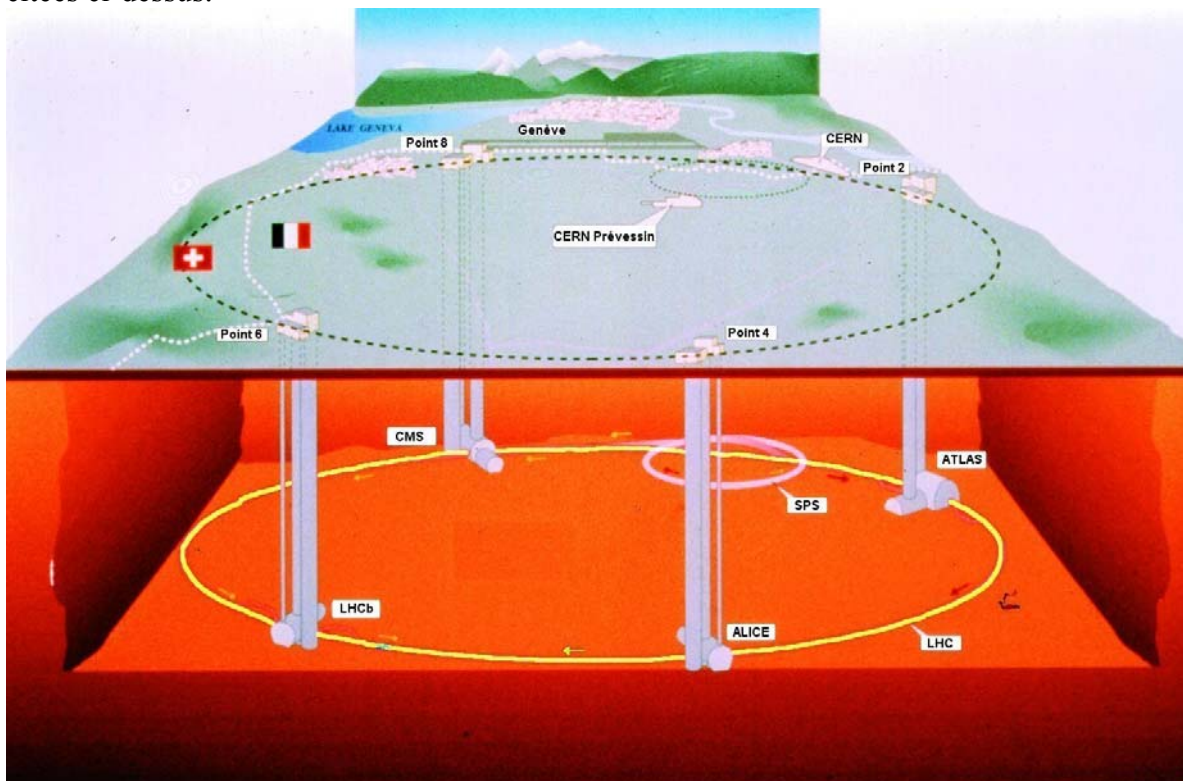


Figure 1-1 Schéma de l'accélérateur du CERN.

L'accélération des protons est effectuée en quatre étapes. La première phase est constituée par une accélération linéaire portant l'énergie des protons à 50 MeV. Ils sont ensuite injectés dans le PS (synchrotron à proton) qui mesure 200 m de circonférence et permet d'obtenir une énergie finale de 28 GeV. La troisième étape consiste à introduire ce

faisceau de protons dans le SPS (Super Synchrotron à Proton) qui fait 6 km de circonférence et qui porte l'énergie des protons à 170 GeV. La dernière manipulation de ces particules, est l'injection dans le LHC qui mesure 27 km de circonférence. Après deux tours de LHC, les protons peuvent obtenir une énergie de 7 TeV. La correspondance entre l'énergie cinétique des particules (protons) et la vitesses relative par rapport à la vitesse de la lumière est donnée par le Tableau 1-1

Energie des protons	Vitesse relative par rapport à la vitesse de la lumière
1 eV	0,00005
1 MeV	0,046
1 GeV	0,875
1 TeV	0,999999956
7 TeV	0,999999991

Tableau 1-1 Correspondance entre énergie cinétique et vitesse pour les protons.

1.2 Détecteur ATLAS

Le détecteur ATLAS (Figure 1-2) a des dimensions qui en font l'un des plus gros détecteurs en physique, soit 44 m de long, 26 m de diamètre. La recherche associée à cet appareillage est très diverse. Elle devrait mettre en évidence le boson de HIGGS, mais aussi permettre d'affiner le modèle standard [1], et de trancher entre les théories au delà du modèle standard.

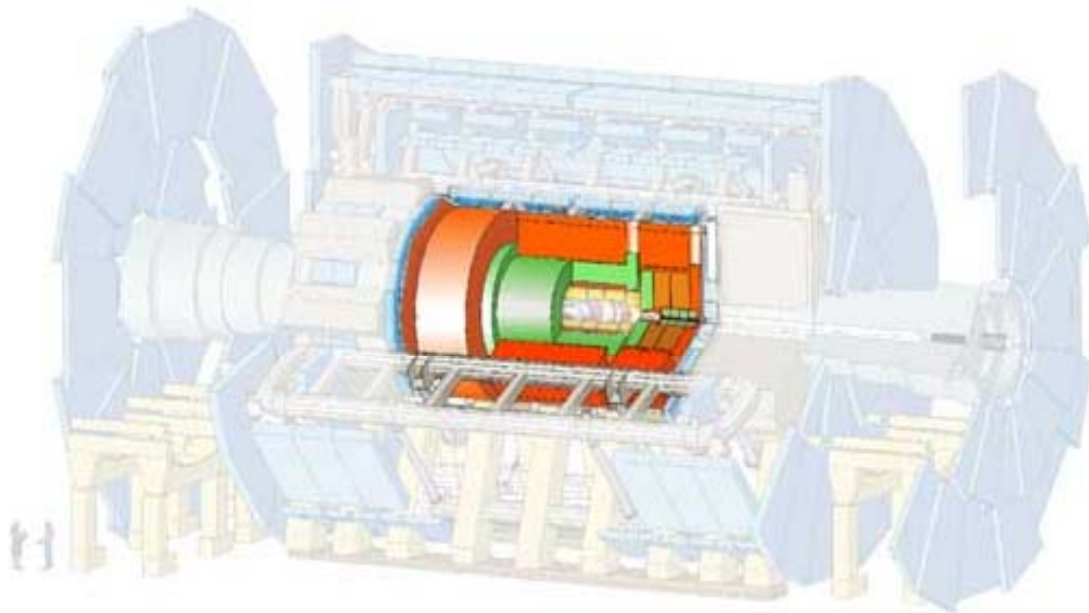


Figure 1-2 Détecteur Atlas avec, en rouge, le calorimètre hadronique.

Ce détecteur sera installé sur l'accélérateur de particules LHC (Large Hadron Collider) en cours de construction. Le détecteur ATLAS sera positionné à l'intersection des trajectoires (Figure 1-3) de deux paquets de protons tournant en sens inverse. Les collisions qui en résultent donnent naissance à différentes particules connues ou non. Or la théorie et les nombreuses expériences du passé permettent de savoir comment une

particule se désintègre. Les expériences de physique retrouvent les particules ayant une durée de vie très courte grâce à la détection des particules provenant de cette désintégration.

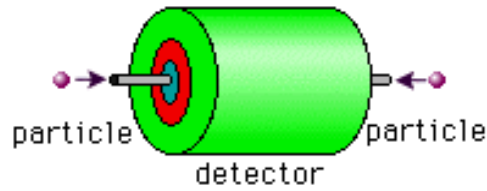


Figure 1-3 Schéma d'un détecteur sur un accélérateur collisionneur.

Le LHC pourra atteindre des énergies jusqu'à 7 TeV^2 par faisceau, soit 14 TeV dans le centre de masse proton-proton. Le Tableau 1-2 montre l'intérêt de monter à des énergies aussi hautes puisqu'il y a une incertitude sur la masse au repos du boson de HIGGS.

Nom des particules	Energie des particules (TeV)
Electron	0,000000511
Proton	0,000938
W	0.08
Bosons de Higgs et autres particules	0,1 à 1

Tableau 1-2 masse de quelques particules.

1.3 Recherche dans ATLAS

Certaines lacunes dans le modèle standard en physique des particules permettent de prédire de manière théorique qu'il existe d'autres particules à découvrir. Le boson de HIGGS, du nom du théoricien Peter HIGGS, en est une. Le détecteur ATLAS aura pour objectif principal la recherche de cette particule. Il permettra aussi d'affiner le modèle standard des particules déjà connues, en mesurant leur énergie et de mettre en évidence d'autres théories encore plus élaborées ou imprévues [2].

1.4 Constitution d'un détecteur

Un appareil de détection en physique des particules est composé de plusieurs sous-ensembles. Ces derniers permettent de suivre les particules chargées électriquement ou non, en fonction de la matière absorbante les constituant. La Figure 1-4 montre ces différents sous-détecteurs et à quels types de particules ils sont dédiés.

² TeV : Terra électron Volt soit 10^{12} eV

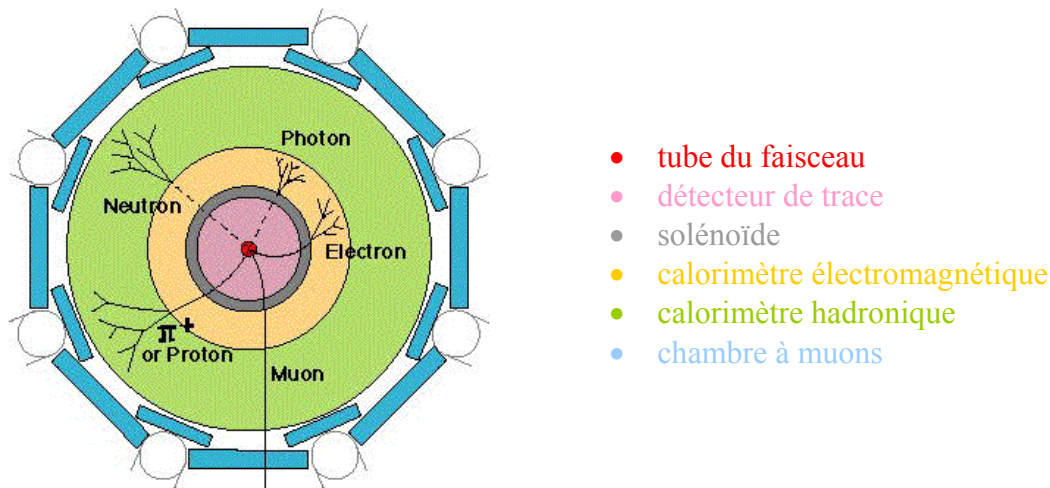


Figure 1-4 Constitution d'un détecteur (vue en coupe).

- Le tube du faisceau transporte les particules entrant en collision au centre du détecteur. Dans ATLAS, les particules sont des protons.
- Le détecteur de traces, après reconstruction, donne la position du vertex ou point de collision en suivant les particules chargées.
- Le solénoïde dévie les particules chargées et il est associé au détecteur de traces. L'impulsion d'une particule chargée est déduite de la connaissance de son rayon de courbure et du champ magnétique.
- Le calorimètre électromagnétique mesure l'énergie des électrons et des photons.
- Le calorimètre hadronique arrête toutes les autres particules (chargées ou neutres) sauf les muons et mesure leurs énergies.
- Les chambres à muons détectent les muons, le champs magnétique étant fourni par un toroïde à air.

Le groupe de physique du LPC de Clermont Ferrand participe à la construction du calorimètre hadronique à tuiles scintillantes.

1.5 Calorimètre hadronique (TILECAL)

1.5.1 Constitution du TILECAL

Ce sous-ensemble comprend un tonneau central (9 m de diamètre et 6 m de long) et deux tonneaux latéraux (3 m de long). L'ensemble pèse 2900 tonnes. Les tonneaux sont constitués de 64 secteurs. Le calorimètre est constitué d'un absorbeur de plaques de fer, et d'une partie active composée de tuiles scintillantes en polystyrène dopé [3]. Ce matériau a pour particularité d'émettre des photons quand une particule interagit avec lui.

Quand les particules traversent une tuile, celle-ci émet des impulsions lumineuses selon un spectre donné. Des fibres optiques à décalage de longueur d'onde absorbent de la lumière issue des tuiles puis la réémet à une longueur d'onde plus grande, et en achemine une partie vers les photomultiplicateurs. Les impulsions lumineuses sont transformées en impulsions électriques par des photomultiplicateurs.

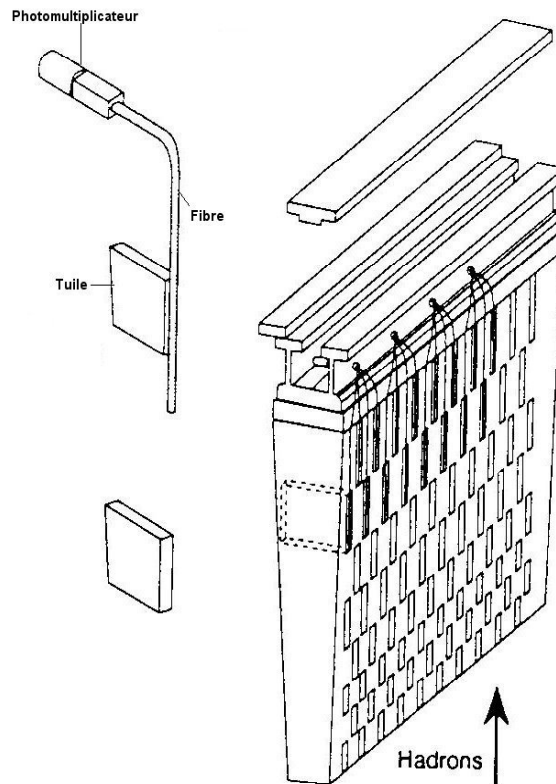


Figure 1-5 Secteur de calorimètre.

Chaque secteur du tonneau central comporte 90 voies de lecture et ceux des tonneaux latéraux seulement 32, ce qui représente environ 10000 voies d'acquisition pour l'ensemble. Afin de réduire la sensibilité de ce système aux parasites et de diminuer le coût de fabrication, le système électronique est directement implanté sur le calorimètre.

1.5.2 Principe du photomultiplicateur

Le processus de fonctionnement d'un photomultiplicateur (Figure 1-6) est décomposé en trois phases :

- La conversion photon/électron, par effet photoélectrique [4]:
Elle est réalisée par la photocathode. Le principe est qu'un photon (particule de lumière) excite suffisamment un atome de la photocathode pour lui arracher un électron. Celui-ci transite à travers la photocathode pour sortir ensuite dans l'espace de focalisation. La photocathode, à base d'antimoine, est déposée en couche très fine (quelques centaines de nanomètres d'épaisseur), sur la face interne de l'entrée du photomultiplicateur.
- La collection des électrons :
Une fois les électrons émis par la photocathode, il faut les diriger vers la première dynode. C'est le rôle de l'espace de focalisation et d'accélération. A l'aide d'électrodes soumises à un certain potentiel, des lignes de champ électriques sont créées. Les électrons qui sortent de la photocathode suivent ces lignes de champ pour parvenir sur la première dynode.

- L'amplification :

Enfin le signal électrique est amplifié pour qu'il soit plus facilement traité par l'électronique d'acquisition :

Les électrons atteignent la première dynode avec une énergie de quelques dizaines d'électrons volts. Quand les électrons touchent la dynode, ils provoquent un mécanisme appelé émission secondaire, qui s'apparente à l'effet photoélectrique mais avec des électrons comme particules incidentes. L'électron qui arrive ainsi avec quelques dizaines d'électrons volts génère quelques électrons de beaucoup plus faible énergie, qui par la différence de potentiel entre la première dynode et la seconde, iront en accélérant vers la seconde dynode pour provoquer de nouveau le même mécanisme. En répétant ce mécanisme le long des différents étages de dynodes (8 dans notre cas), les premiers électrons émis par la photocathode peuvent être multipliés par quelques milliers.

Afin d'éviter toute interaction avec de la matière, l'ensemble est scellé dans un tube sous vide.

Les principales caractéristiques des photomultiplicateurs sont :

- Un gain très élevé 10^5 ,
- Un bruit de fond plus faible qu'avec que de l'électronique classique.

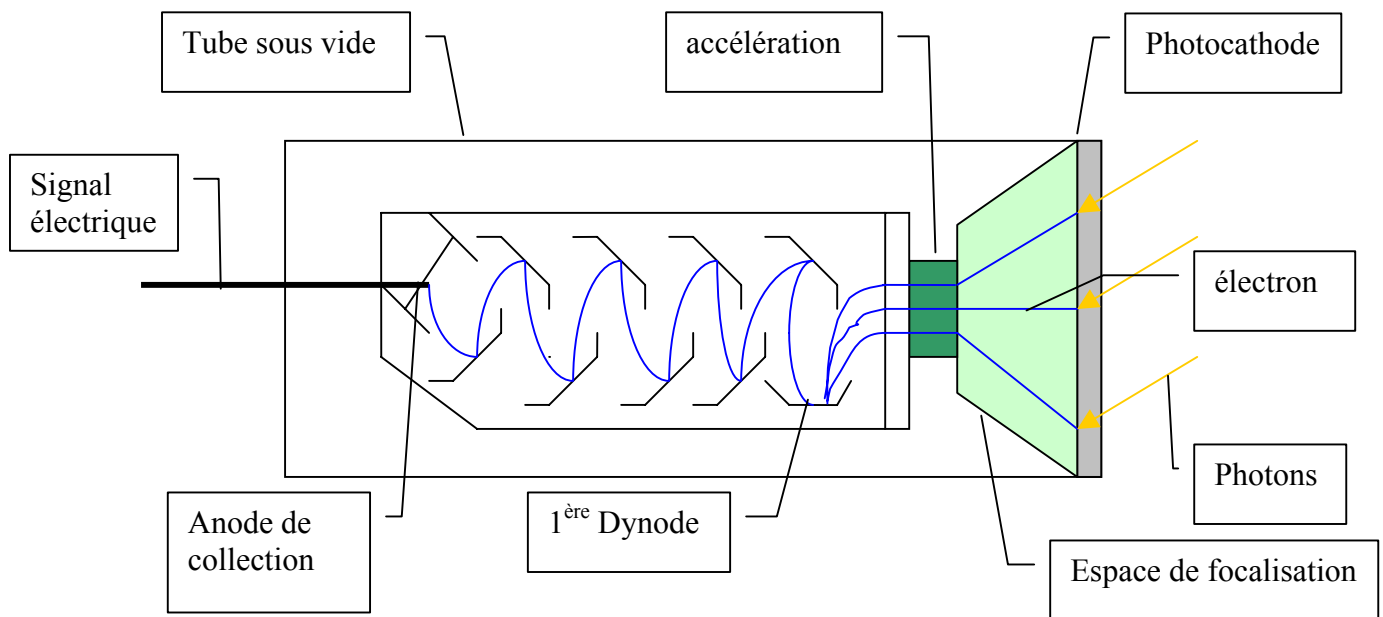


Figure 1-6 Schéma de fonctionnement d'un photomultiplicateur.

Le signal de sortie d'un photomultiplicateur est montré à la Figure 1-7. Ses principales caractéristiques sont un temps de réponse et un temps de montée rapide (quelques nanosecondes). L'amplitude dépend du nombre d'électrons émis par la photocathode et de la haute tension appliquée. Le gain de ce système est très dépendant de la haute tension et du vieillissement du photomultiplicateur. C'est dans ce but qu'un système de calibration in situ des photomultiplicateurs doit être réalisé.

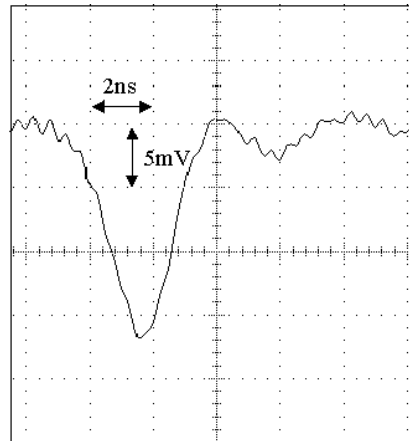


Figure 1-7 Forme du signal de sortie d'un photomultiplicateur.

1.5.3 Bloc photomultiplicateur

Il est constitué de l'optique et de l'électronique de lecture (Figure 1-8). Le μ métal permet de rendre le photomultiplicateur insensible au champ magnétique environnant déjà fortement atténué par le capot en fer. Le guide de lumière concentre et uniformise la lumière provenant des fibres optiques vers la photocathode. Le photomultiplicateur R7877, du fabricant Hamamastu, convertit la lumière en signal électrique, le pont diviseur distribue la haute tension sur les dynodes. L'électronique de lecture permet de mettre en forme et d'amplifier le signal du photomultiplicateur avant d'être numérisé.

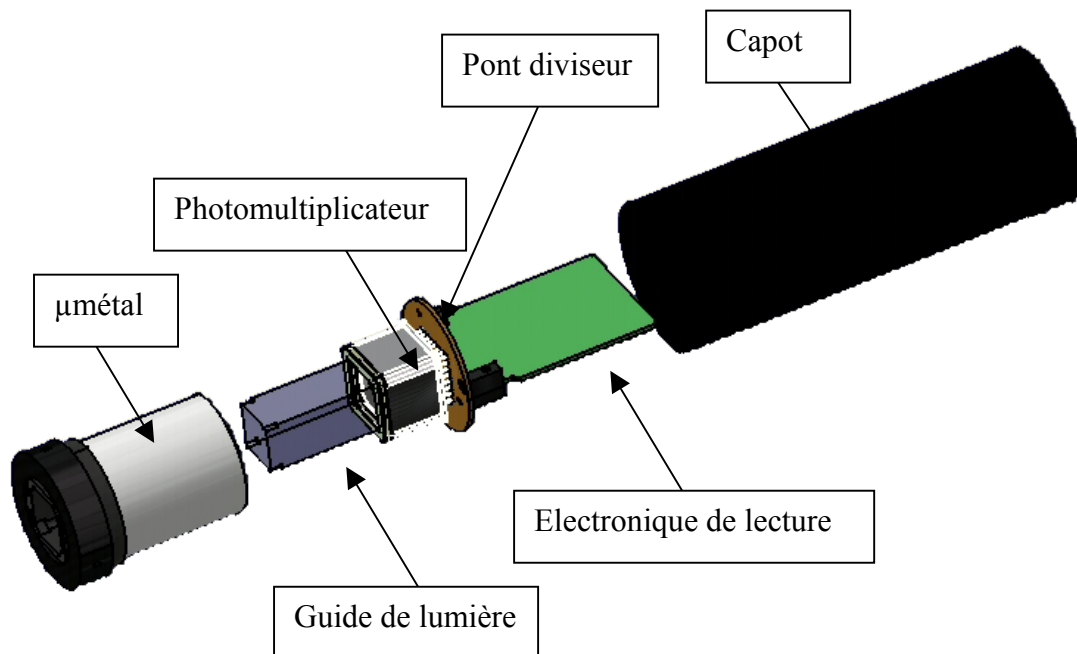


Figure 1-8 Contenu du bloc PM.

La photo (Figure 1-9) montre le montage des fibres et la connexion aux photomultiplicateurs associés dans le calorimètre hadronique.

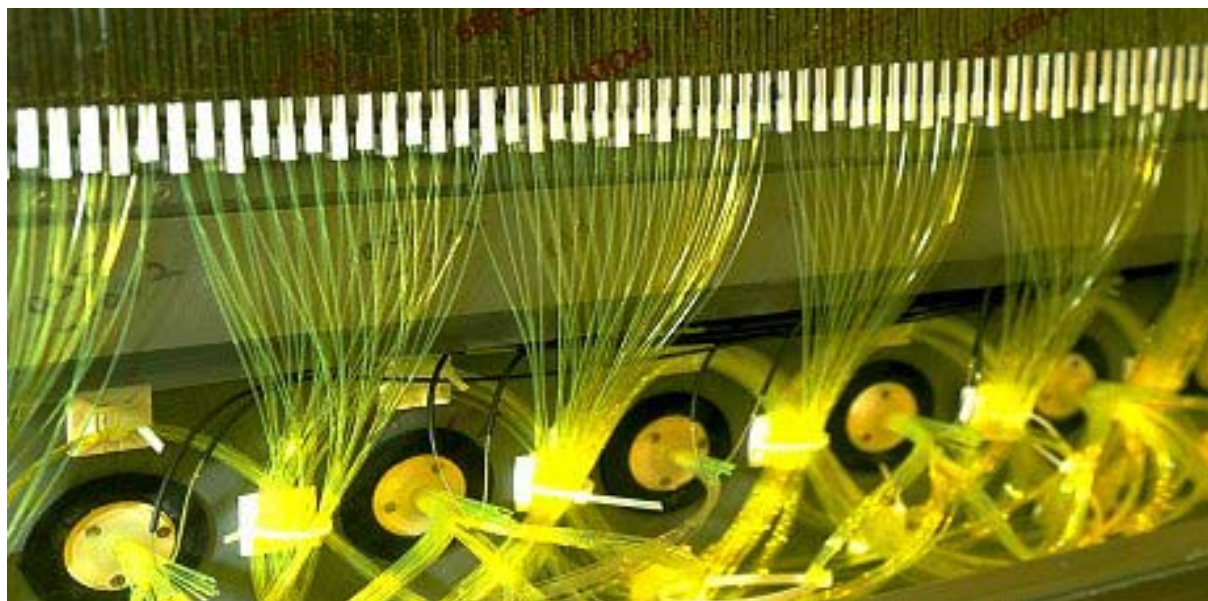


Figure 1-9 Photographie du montage des fibres dans un module du calorimètre.

1.6 Méthodes de calibration du TILECAL

Afin d'évaluer le vieillissement de chaque partie du calorimètre à tuiles, il existe plusieurs systèmes de calibration (Figure 1-10). Il est nécessaire de connaître toutes les performances du TILECAL, afin de garantir la précision requise sur la mesure de l'énergie des particules arrêtées par le calorimètre [5].

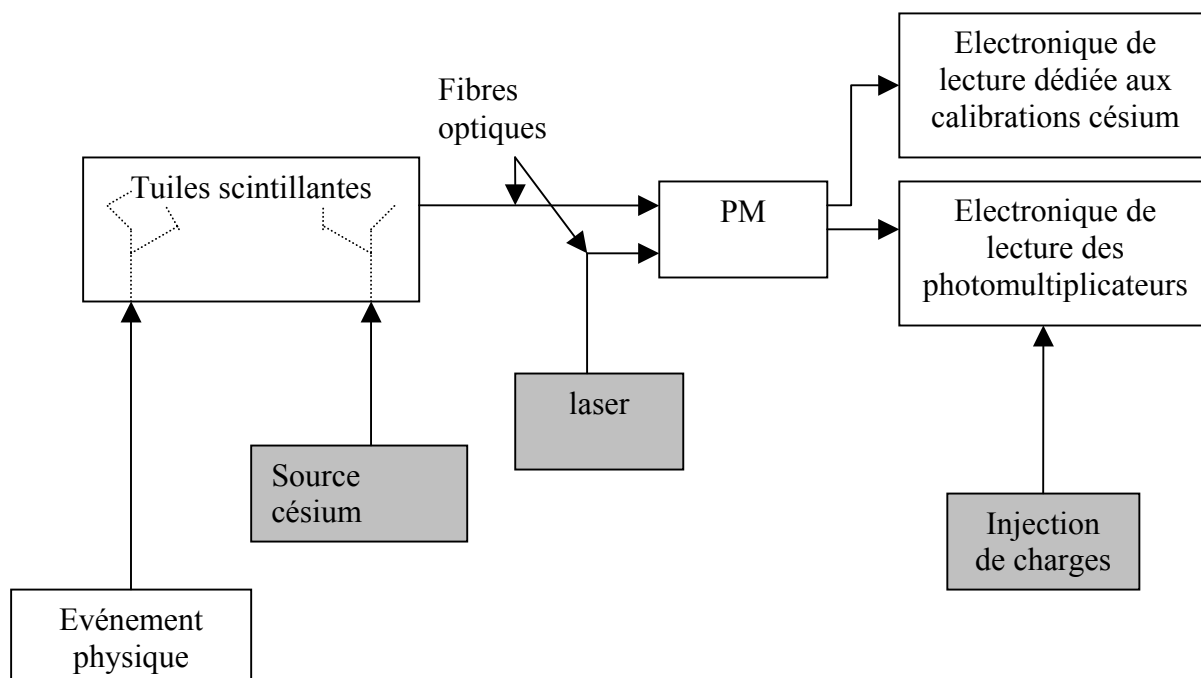


Figure 1-10 Synoptique de la calibration du calorimètre à tuiles scintillantes.

- La source de césium 137 permet une calibration absolue de la chaîne de mesure. En effet, cette source circule dans les tuyaux noyés dans le calorimètre, et elle passe à proximité de chaque tuile scintillante en émettant des photons d'énergie connue. La réponse de l'ensemble (tuiles, fibres optiques, photomultiplicateurs et électronique associée) est analysée. Cela permet ainsi une égalisation de toutes les voies du sous détecteur en ajustant le gain de chaque photomultiplicateur en jouant sur sa tension d'alimentation. Mais cette méthode est très lente et ne peut être utilisée qu'en dehors des prises de données physiques. De plus, l'électronique associée et placée en aval des photomultiplicateurs, ne voit pas la source de césium. C'est une électronique spéciale qui lit le photomultiplicateur.
- Le laser a la même longueur d'onde que la lumière en provenance de l'interaction des particules avec les tuiles scintillantes. Il doit simuler le passage de particules de différentes énergies dans la dynamique attendue, afin d'évaluer la réponse des photomultiplicateurs. Ce dispositif est suffisamment rapide pour être utilisé en phase d'acquisition et il est décrit plus en détail dans la suite de ce document.
- L'injection de charge simule la réponse des photomultiplicateurs dans l'électronique située en aval des photomultiplicateurs pour vérifier leur linéarité et étalonner en unité de charge (picocoulomb). Cette calibration est également effectuée pendant les phases d'acquisition.

Les deux dernières méthodes ne doivent pas interférer avec les vrais événements physiques. Elles permettent d'effectuer, au dépouillement des données, une correction fine quasiment événement par événement. En regardant le séquençement des collisions produites par le LHC, il est possible de voir des zones où il y a absence de croisements de particules. Elles seront utilisées pour la calibration.

2 Structure du LHC

2.1 Fonctionnement du LHC

Chaque croisement de particules est cadencé par une horloge à 40,079 MHz, correspondant à 3524 croisements possibles par tour de l'accélérateur du LHC. En effet les protons atteignent presque la vitesse de la lumière (Tableau 1-1) soit 299792 km/s, d'où la relation permettant d'obtenir le nombre N de croisements possibles.

$$N = \frac{D}{cT_c}$$

- D : représentant la distance parcourue par les particules, soit 27 km,
- T_c : période de croisement des particules, soit $25 \cdot 10^{-9}$ s,
- c : vitesse de la lumière dans le vide.

En première approximation le nombre maximal de croisements est de 3600 par tour.

Cependant pour des raisons techniques et de construction, certains de ces croisements ne comportent pas de particules : ils sont nommés croisements vides. Ces intervalles où il y a absence d'événements physiques permettront de réaliser les calibrations des différents sous-détecteurs.

La structure de ces croisements est représentée par la Figure 2-1 où l'organisation des paquets de particules est identique pour les trois premiers blocs. Elle est légèrement différente dans le dernier. Chaque rectangle grisé correspond à 72 croisements distants de 25 ns, l'intervalle entre chaque rectangle (I1) correspond à 8 croisements vides et les espaces blancs entre ces blocs (I2) à 38 croisements vides. Le bloc 4 a une zone beaucoup plus large (I3) appelée « gap », de 119 croisements vides, soit une durée de 2,975 μ s.

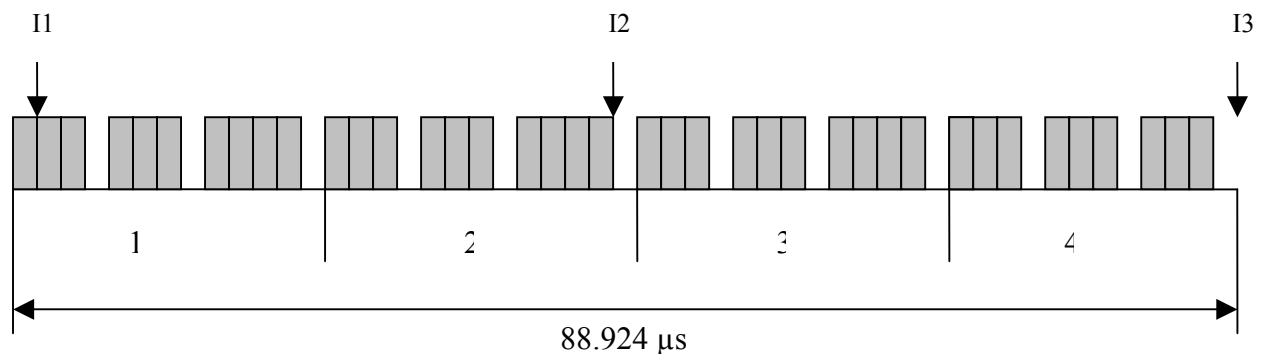


Figure 2-1 Structure des croisements du LHC.

Cet intervalle I3 est choisi pour effectuer toutes les calibrations de tous les sous-détecteurs de l'expérience ATLAS. Il faut partager ce temps entre toutes les calibrations afin de ne pas saturer l'acquisition générale. Pour cela, l'accélérateur fournit un signal

électronique permettant de connaître chaque nouvelle orbite³ qui a donc comme période 88,924 μ s. Ce signal est appelé BCR (Bunch Crossing Reset).

Une carte électronique, pour chaque sous-détecteur, a en charge de délivrer un signal de démarrage pour chaque calibration. Son rôle est de diviser le signal BCR pour obtenir tous les N tours de l'accélérateur un signal de calibration. Pour le calorimètre à tuiles scintillantes, il existe deux calibrations dites rapides : injection de charges et par laser. La troisième (source césium) beaucoup plus lente est faite hors faisceau.

2.2 Stratégie des déclenchements

Pour des questions de clarté d'analyse des résultats, la calibration et les acquisitions physiques ne peuvent s'effectuer en même temps. Les sous-détecteurs doivent se partager ces gaps de calibrations.

Il existe deux solutions pour les calibrations :

- soit partager le gap entre tous les sous-détecteurs,
- soit choisir un gap sur N pour une calibration donnée.

La première version semble complexe à mettre en œuvre et poserait beaucoup de problème à l'acquisition. La stratégie consiste à diviser simplement le gap en nombre de sous-détecteurs, soit dans ce cas 16. Le calorimètre à tuiles doit partager ce gap sur seize entre ses propres calibrations. Elles sont au nombre de deux, ce qui implique pour le laser une calibration sur trente-deux gaps. La fréquence correspondante est de 350 Hz, cette valeur est tout à fait envisageable pour le cycle de fonctionnement du laser. Mais en revanche l'acquisition centrale du sous-détecteur a une fréquence maximale de 100 Hz. En effet elle doit acquérir, dans notre cas, plus de 10000 voies de lecture en même temps.

A l'heure actuelle la stratégie pour le TILECAL n'est pas tout à fait connue, en ce qui concerne la calibration. La solution envisagée est de faire un compromis entre la physique et la calibration du sous-détecteur.

Pour avoir une bonne résolution du calorimètre, l'énergie doit être mesurée avec une précision de 0,5% par point.

La distribution de l'énergie est gaussienne, l'incertitude sur la moyenne exprimée en termes d'écart type σ_m est donnée par :

$$\sigma_m = \frac{\sigma_d}{\sqrt{n}}$$

σ_d est l'écart type de la distribution calculée expérimentalement.

n est le nombre de mesures.

$$\sigma_m = 0,5 = \frac{5}{10} = \frac{\sigma}{\sqrt{n}} \Rightarrow n = 100$$

Le système laser qui sera détaillé dans le chapitre suivant, disposera de 16 ou 32 valeurs d'amplitude, d'une roue à filtres (8 maximum). Le nombre de coups laser est de :

³ Orbite : correspond à un tour de l'accélérateur LHC

$$N_l = N_a \cdot N_f \cdot N_{cp} = 16 \times 5 \times 5 = 400$$

avec N_l : nombre de coups laser,
 N_f : nombre de filtres,
 N_{cp} : nombre de coups perdus (mauvais déclenchement de l'acquisition).

Les valeurs actuellement définies dans le calcul ci-dessus sont celles utilisées sur le prototype du système laser.

Pour obtenir la précision voulue il faut 100 événements, donc 40000 coups laser. La durée de la prise de données est de 7 heures, ce qui implique comme fréquence F_l de fonctionnement du laser :

$$F_l = \frac{410^4}{7 \times 3600} \approx 1.6 \text{ Hz}$$

La fréquence retenue est de 2 Hz soit 50400 événements et une précision de 0,44%. Cette fréquence permet de définir tous les gaps utilisés par la calibration laser .

Puisque la période des gaps est de 88.924 μs , le nombre de gaps est de :

$$\frac{88.924}{500000} \approx 5623$$

2.3 Définition des signaux fournis par le LHC

Pour déterminer le moment exact de la calibration laser, l'accélérateur fournit des signaux de contrôle [6]. Ils sont au nombre de trois et se décomposent ainsi :

- BC : Bunch Crossing, ce signal est la référence temporelle des croisements de paquets de protons. Sa période est de 25 ns.
- BCR : Bunch Crossing Reset, ce signal correspond à un tour de l'accélérateur LHC. Il permet de compter également le nombre de gaps avec un compteur 4 bits. Le compteur est remis à zéro par le signal ECR. Sa période est de 88,924 μs .
- ECR : Event Count Reset, ce signal synchronise tous les sous-détecteurs afin de savoir dans quel gap se trouve l'accélérateur. Sa période est de 1,422 ms.

Pour connaître l'instant de la calibration laser, il faut savoir le numéro de gap actuel, et le tester avec celui désigné pour le calorimètre à tuiles, appelé GAPREF. Pour étiqueter les événements dans l'acquisition, chaque BC est affecté à un BCID (Bunch Crossing Identify). Il a été décidé dans la stratégie des calibrations de faire correspondre une impulsion lumineuse du laser avec un BCID bien précis appelé BCIDREF. Il peut se trouver dans le début du gap ou au milieu. Une fois ce BCIDREF défini, il faut commander le système laser pour avoir le faisceau lumineux en coïncidence avec ce BCIDREF. Le chapitre suivant montre la contrainte à appliquer sur la commande du laser pour y parvenir.

PARTIE 2

Chapitre 3 Système de calibration laser

Chapitre 4 Cahier des charges

3 Système de calibration laser

3.1 Principe du laser

Un atome peut absorber un photon et passer dans un état excité, puis réémettre ce photon en se désexcitant spontanément. C'est l'émission spontanée. Mais ce n'est pas la seule possible. Un atome excité peut se désexciter en émettant un photon d'une certaine longueur d'onde (couleur). Mais avant qu'il ne se désexcite, un photon de la même couleur peut passer à proximité. Le passage de ce photon entraîne alors la désexcitation de l'atome, et l'émission d'un photon exactement semblable à celui qui passait : même direction, même polarisation... C'est ce qu'on appelle l'émission de lumière stimulée [7]. Un laser est en fait un échantillon de matériau phosphorescent (du rubis, pour les premiers lasers à solide) placé entre deux miroirs. L'un des deux (la sortie du laser) est un miroir qui laisse passer un faible pourcentage de la lumière incidente (Figure 3-1).

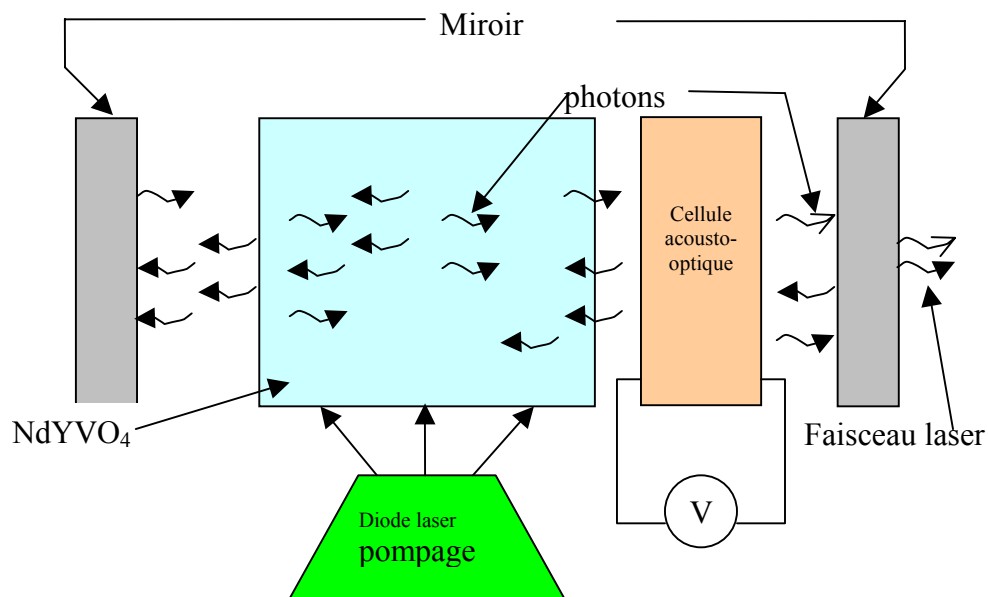


Figure 3-1 Synoptique de la cavité laser.

Pour obtenir cette lumière stimulée plus facilement, il faut un matériau phosphorescent. Cela signifie en fait que leur désexcitation se fait très lentement. Alors, grâce par exemple à un flash lumineux de grande intensité, une grande partie de ces atomes passent dans l'état excité. Certains commencent à se désexciter en émettant de la lumière. Si elle est dans une direction quelconque, cette lumière se perd. Par contre, si elle est émise de façon perpendiculaire aux miroirs, il se forme une lumière continue.

Les photons émis dans cette direction sont renvoyés par le miroir, et en repassant dans le matériau, ils provoquent la désexcitation des atomes. En passant à travers le matériau, le faisceau se renforce, puisque sur son passage, de nombreux d'atomes se désexcitent, et émettent des photons dans la même direction et de même couleur. L'émission stimulée sert donc à amplifier le rayon lumineux, toujours en produisant des photons de même couleur et de même direction de propagation. La lumière fait donc des allers-retours entre les deux miroirs, en se renforçant à chaque fois qu'elle passe dans le matériau phosphorescent.

En absence de flash ou de lumière infrarouge continue, les atomes se désexciteraient finalement tous, et le laser s'arrêterait très vite. S'il n'y a pas suffisamment d'atomes excités dans le matériau, le faisceau ne se renforce plus en y passant.

Une petite partie de la lumière produite sort par le miroir qui n'est pas totalement réfléchissant. La lumière produite est parfaite, sa couleur est celle qui correspond à la désexcitation des atomes et à la résonance avec la cavité optique formée par les deux miroirs. Elle est donc très précise. La direction de tous les photons est la même, ce qui fait qu'à la différence d'une lampe classique, un faisceau de laser ne diverge quasiment pas.

3.2 Type de laser utilisé par le TILECAL

Il existe différentes technologies pour les lasers en fonction de la puissance et de l'application demandées. Dans notre cas, c'est un laser à diode avec comme matériau actif du NdYVO₄ (Vanadate d'Yttrium dopé au Neodyme) [8][9].

Ses principales caractéristiques sont :

- longueur d'onde 532 nm,
- le doubleur est un matériau en triborate de lithium (LBO),
- diamètre du faisceau laser 320 µm,
- durée de l'impulsion lumineuse 10 ns,
- classe⁴ du laser : 4

La pompe laser a une entrée analogique pour contrôler l'amplitude, elle est comprise entre 0 et 4 V pleine échelle. Elle dispose aussi d'une sortie analogique en tension pour contrôler l'amplitude du courant dans la diode laser. Cette sortie a les mêmes échelles que l'entrée analogique.

Pour les besoins de l'expérience, le laser a une sortie pulsée. L'utilisation d'un laser continu n'est pas possible, puisque le laser doit toucher un seul BCID. De plus il n'existe pas de système mécanique assez rapide pour laisser passer la lumière pendant un temps court (<25 ns).

Le système, employé par ce laser, est basé sur le *Q-switch*. Le principe consiste à insérer entre le matériau actif et le miroir de sortie, une cellule acousto-optique. La particularité de cette dernière est d'être soumise à une onde radio qui modifie les caractéristiques du cristal. Cette onde, quand elle est présente, crée un réseau optique divisant l'impulsion incidente en plusieurs impulsions. La sortie du faisceau laser ne se trouve pas en face de l'ordre 0 de l'impulsion lumineuse. Mais généralement sur la sortie d'ordre 1 (Figure 3-2). Le système de commande du laser doit intégrer un signal permettant de commander ce *Q-switch* afin de déclencher le laser au moment adéquat.

⁴ Classe d'un laser : est fonction du danger potentiel de leur rayonnement accessible.

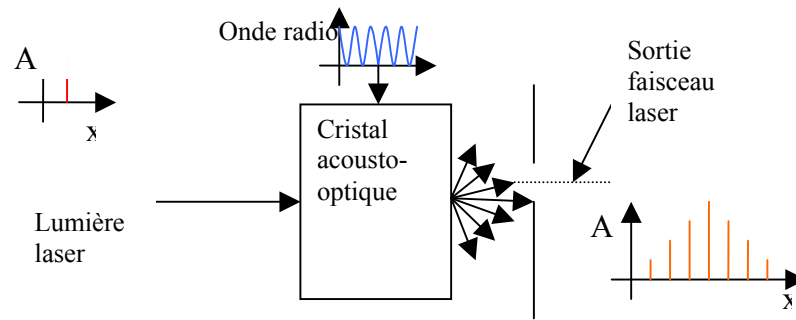


Figure 3-2 Principe de la cellule acousto-optique.

3.3 Constitution du système laser

Le système laser reçoit tous les éléments permettant son étalonnage, les diverses sécurités, et l'optique pour atténuer et dévier le faisceau laser. Le système d'étalonnage est concentré dans une petite boîte appelée « boîte à photodiode » dont la description est faite au paragraphe 3.4.

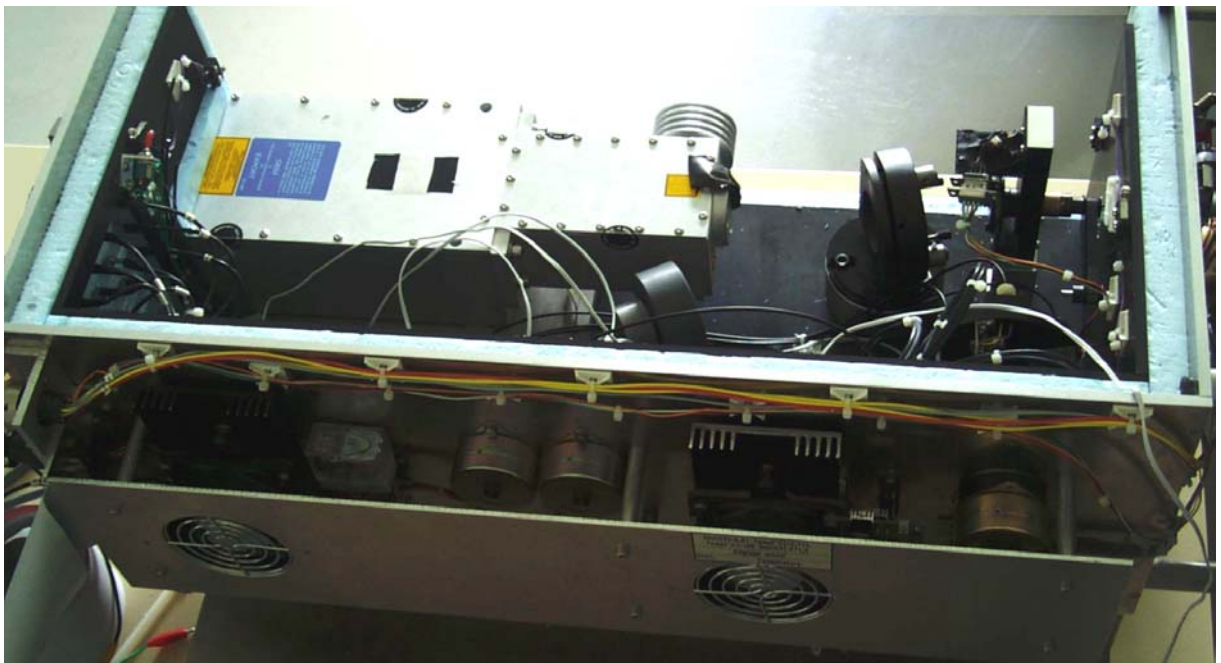


Figure 3-3 Photographie du prototype de la boîte laser.

Le laser est lui même composé de deux éléments : la tête laser, intégrée dans l'enceinte de confinement du laser, et la pompe laser qui est externe au système. Pour acheminer la lumière laser jusqu'aux photomultiplicateurs, l'optique de la boîte laser se décompose en cinq éléments :

- filtres,
- miroir semi-réfléchissant,
- support guide de lumière,
- roue à filtres,
- obturateur.

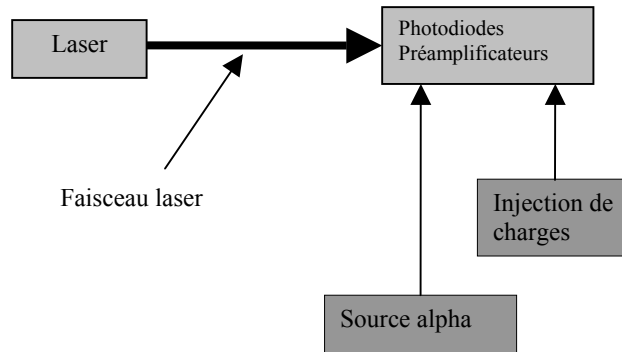


Figure 3-4 Synoptique de calibration de la boîte laser.

Les filtres permettent d'atténuer la lumière laser, pour ne pas saturer le signal électrique issu des photodiodes et des photomultiplicateurs.

Le miroir semi-réfléchissant laisse passer 90% de la lumière incidence et reflète 10% de celle-ci selon un angle de 30°. Cette portion de lumière est utilisée pour son propre système d'étalonnage (boîte à photodiodes) et pour le déclenchement d'acquisition (photomultiplicateurs).

Le support guide de lumière uniformise la lumière laser et la répartit vers les photodiodes et les photomultiplicateurs à l'aide de fibres optiques. La roue à filtres est constituée de huit filtres d'atténuation, permettant ainsi d'augmenter la dynamique de la lumière transmise aux photomultiplicateurs du calorimètre hadronique à tuiles (§4.3).

Les deux photomultiplicateurs sont utilisés pour déclencher le système d'acquisition. En effet ils ont un temps de réponse rapide permettant de provoquer la lecture du convertisseur analogique numérique.

Le dernier élément qui est l'obturateur, sert à sécuriser le dispositif mais également à effectuer différents tests du système laser sans altérer le fonctionnement du détecteur à tuiles scintillantes.

La sortie de la boîte laser est reliée à une fibre liquide. Elle est dirigée vers un panneau de distribution qui permet de transmettre la lumière à travers des fibres optiques jusqu'aux photomultiplicateurs du calorimètre.

Le tout étant, pour des raisons de sécurité confiné dans une enceinte étanche à la lumière.

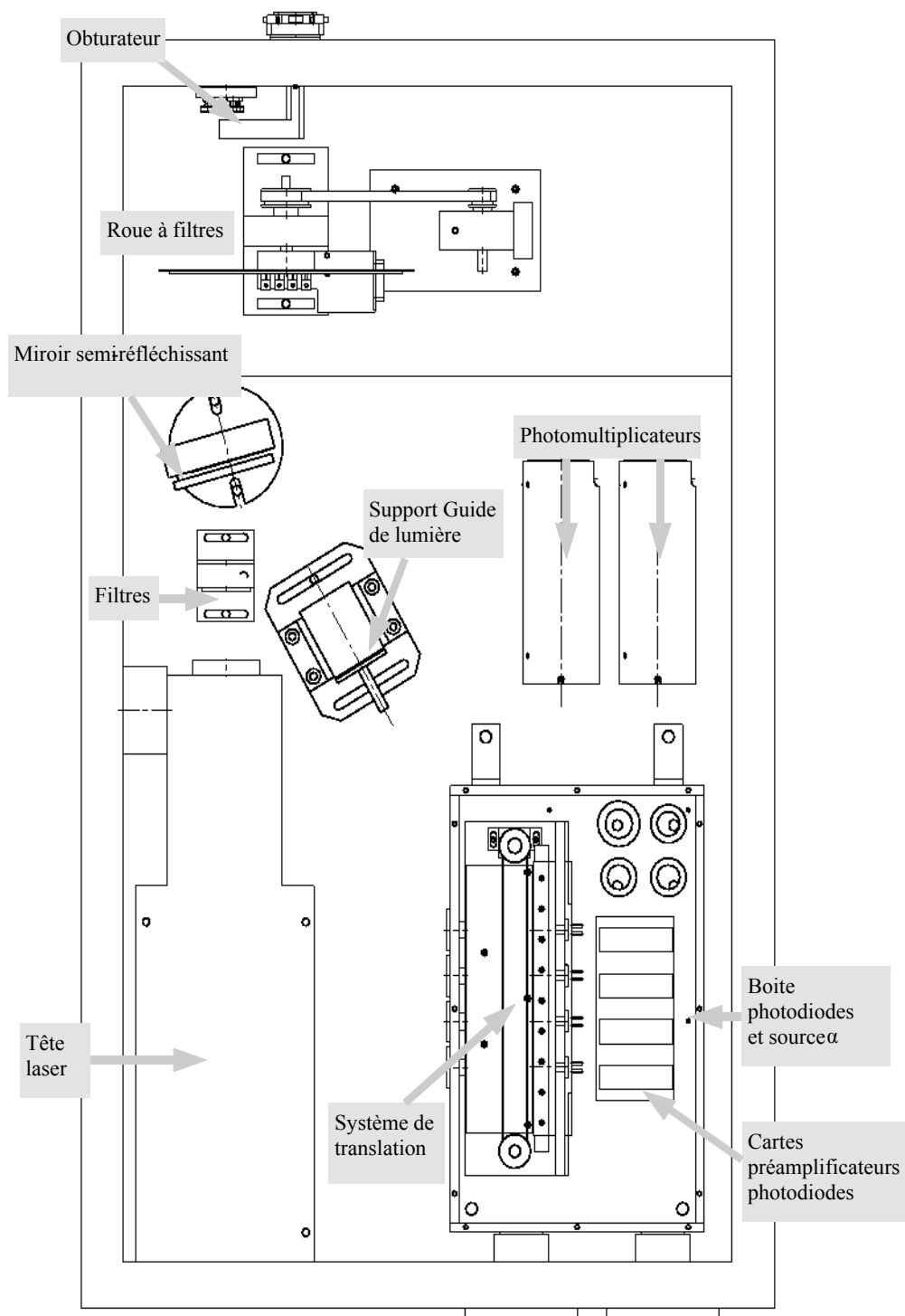


Figure 3-5 Enceinte de confinement du laser.

3.4 Boîte à photodiodes

Elle permet de calibrer les impulsions lumineuses du laser. Elle dispose donc de son propre système d'étalonnage. En effet pour connaître l'énergie lumineuse transmise aux photomultiplicateurs du calorimètre hadronique d'*ATLAS*, l'appareillage est équipé de sa propre électronique de contrôle.

3.4.1 Principe d'une photodiode

Les détecteurs optoélectroniques sont basés sur le comportement d'une jonction semi-conductrice *PN*. Lorsque la jonction est illuminée, un matériau semi-conducteur peut absorber de la lumière si la longueur d'onde de celle-ci est inférieure à une valeur caractéristique du matériau. Pour le silicium, cette valeur limite est de 1100 nm. Chaque photon qui disparaît dans le matériau libère de l'énergie utilisée pour transformer un électron de valence en électron de conduction, et donc créer un trou.

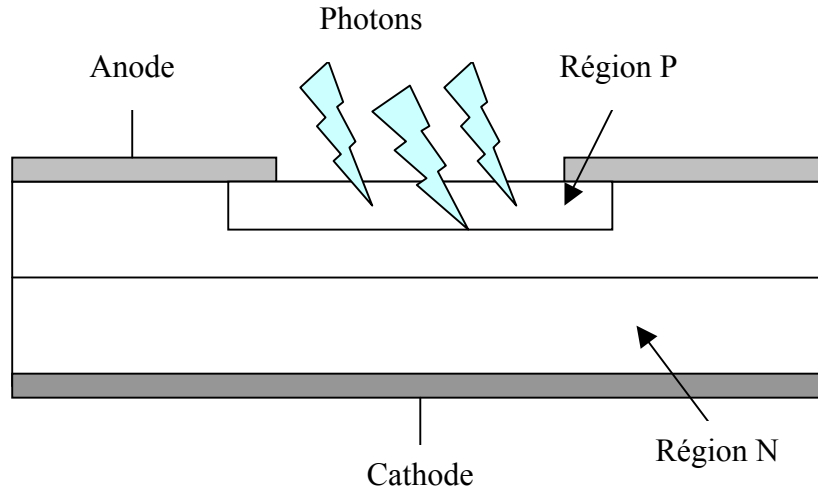


Figure 3-6 Schéma d'une photodiode.

La lumière y est absorbée, les électrons de conduction et les trous créés sont séparés par le champ électrique et, compte tenu de son sens, aspirés dans la région où ils sont déjà les plus nombreux, la région *N* pour les électrons de conduction et la région *P* pour les trous. Par continuité du courant, si la photodiode est court-circuitée ou au moins fermée sur une très faible résistance, la séparation des particules à l'intérieur du matériau se traduit par le passage d'un électron dans le circuit extérieur. En d'autres termes, la puissance optique P_{opt} est transformée en courant électrique proportionnel.

3.4.2 Fonctionnement de la boîte

Cet ensemble possède 4 photodiodes avec leur système d'électronique de lecture. La lumière laser est acheminée sur la face sensible de chaque photodiode, grâce à des fibres optiques. La photodiode transforme les signaux lumineux en impulsions électriques qui sont traitées par les préamplificateurs.

L'électronique de lecture reçoit un signal en entrée permettant de simuler une charge afin de pouvoir contrôler la linéarité des préamplificateurs associés aux photodiodes et d'effectuer les corrections par logiciel. Mais cet étalonnage ne permet pas de connaître le comportement des photodiodes. Il faut donc un autre système à base d'une source radioactive d'américium émettant des particules alpha. Cette source, solidaire sur un chariot, mu en translation, est positionnée un temps prédéfini devant chaque photodiode. Les données qui proviennent de ces sources servent de référence au système laser. Un automate programmable gère les déplacements de la source et le temps d'arrêt devant chaque photodiode. Les particules alpha étant monoénergétiques, et la source radioactive

dotée d'une durée de vie longue (plusieurs dizaines d'année), il est facile d'étalonner la réponse des photodiodes et de l'électronique.

3.4.3 Contraintes

L'une des caractéristiques des photodiodes est le courant d'obscurité. En effet en l'absence d'émission lumineuse, il existe un courant résiduel qui est très dépendant de la température. La boîte doit donc être isolée thermiquement. Pour cela elle est entourée de mousse de polystyrène extrudé et régulée en température à l'aide de batteries à effet peltier. Une contrainte importante est le taux d'humidité qui est mesuré par une sonde. En effet, une très fine « pellicule » d'eau suffirait à empêcher les particules alpha de pénétrer à l'intérieur du silicium. Un flux d'azote est injecté dans la boîte pour assécher l'air et obtenir une légère surpression pour empêcher la pénétration de poussière dans la boîte.

3.4.4 Modes d'acquisition

Le synoptique de la Figure 3-7 montre la chaîne de mesure des photodiodes avec les systèmes de calibration. Celles-ci sont activées en début d'acquisition ou à des intervalles réguliers. Il est important pour le système d'acquisition de connaître la provenance du déclenchement. Il doit aussi acquérir les valeurs analogiques de la boîte laser (photodiodes, photomultiplicateurs), et dispose donc d'un convertisseur numérique analogique (CAN). La conversion est mise en œuvre par un signal qui provient de la logique de décision.

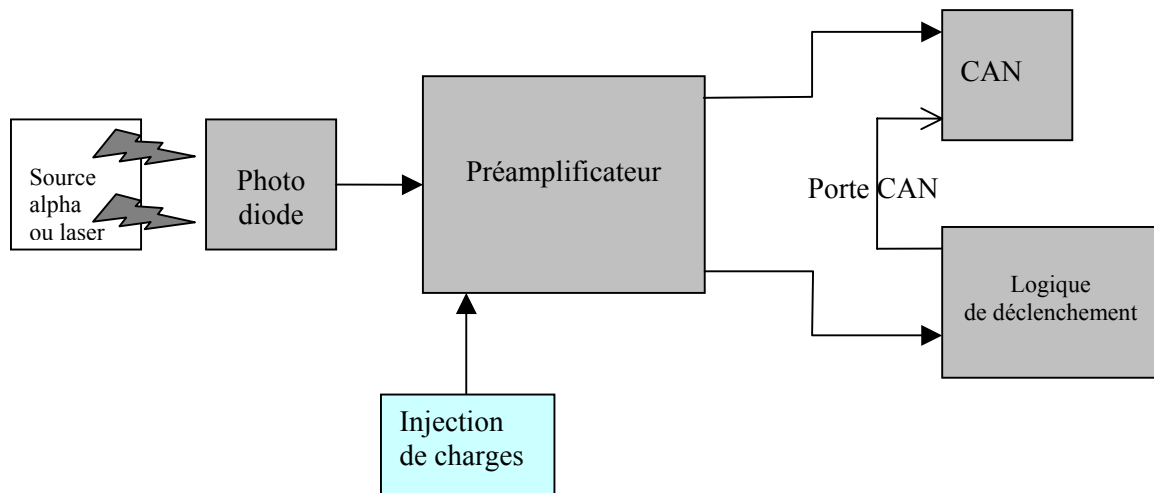


Figure 3-7 synoptique de la chaîne électronique des photodiodes.

Il existe quatre modes de fonctionnement :

- Emission Laser :
Pour savoir si une impulsion laser est émise, le dispositif a deux photomultiplicateurs. Après être remis en forme, leurs signaux sont mis en coïncidence pour déclencher l'acquisition du CAN.
- Source alpha :
L'arrêt de la source alpha devant chaque photodiode provoque un signal électrique qui est discriminé par la LDL⁵. Le résultat donne un signal logique générant le déclenchement de l'acquisition.

⁵ LDL : Logique de Déclenchement Laser

- Linéarité des préamplificateurs :
Les impulsions simulant le dépôt de charges dans la photodiode sont réalisées par un module VME⁶ nommé LILAS (Linéarité LASer). Celui-ci fournit également un signal pour déclencher l'acquisition.
- Piédestaux :
Ce mode d'acquisition permet de connaître le bruit de fond de la chaîne *CAN* et préamplificateurs. Cette mesure est effectuée avant chaque prise de données physiques. La valeur obtenue est soustraite aux valeurs *CAN* des coups laser ou source alpha pour uniformiser les valeurs comme le montre la Figure 4-4. L'acquisition se fait par l'intermédiaire du programme pilotant la *LDL* pour créer le signal de déclenchement

3.5 Performance du laser

3.5.1 Principe de la mesure

Dans notre application, les principaux paramètres du système laser à évaluer sont son temps de réponse et la répétitivité de ce temps. Le constructeur ne fournissant aucune indication sur ces valeurs, il a fallu les mesurer afin d'en tenir compte dans l'électronique de contrôle. La Figure 3-8 montre le banc de test pour réaliser ces mesures. Un échelon d'amplitude variable est appliqué à la pompe laser par l'intermédiaire d'un ordinateur et transmis à la tête laser par l'intermédiaire d'une fibre optique. L'impulsion de synchronisation permet de déclencher l'oscilloscope, et la deuxième voie de celui-ci est reliée aux photomultiplicateurs dont la principale caractéristique est d'avoir un temps de montée très rapide (1,4 ns). L'oscilloscope permet de faire une mesure de temps entre l'impulsion de synchronisation et l'impulsion du photomultiplicateur.

Le générateur de fréquence fournit un signal de déclenchement pour le système laser, afin d'évaluer la répétitivité du temps de réponse et de faire la moyenne de cette valeur.

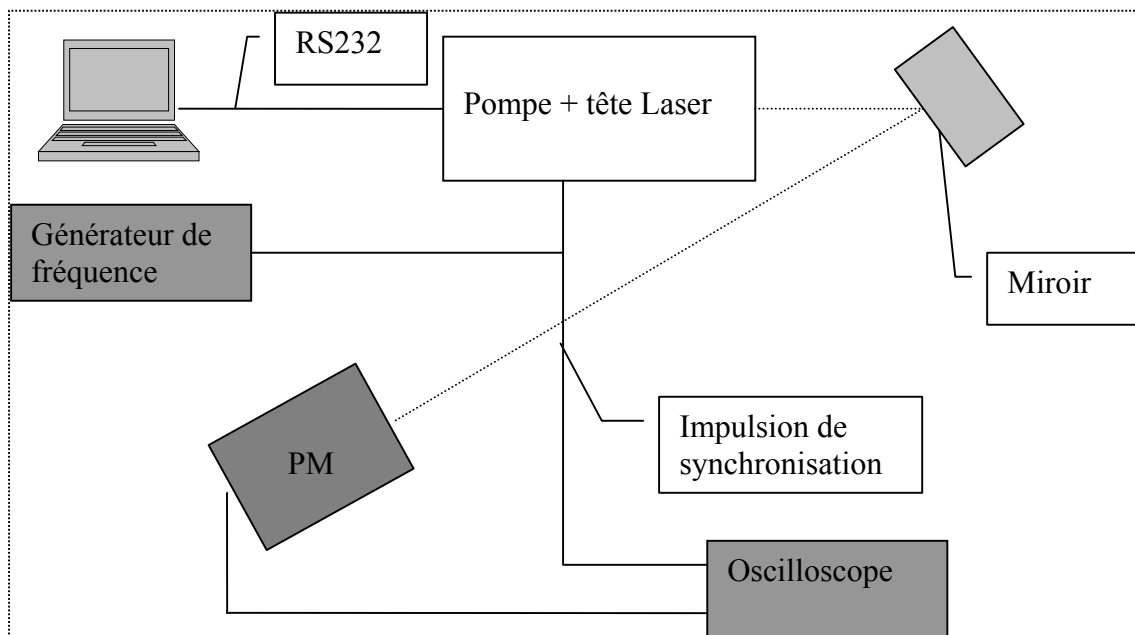


Figure 3-8 Synoptique du banc de test du système laser.

⁶ Versa Module Eurocard est un format de bus Motorola.

3.5.2 Résultat de la mesure

Le résultat du temps de réponse du système laser sollicité par des échelons d'amplitude variable est illustré par la Figure 3-9. Sur la plage d'utilisation du système, entre 11 A et 24 A, le temps de réponse varie de 70 ns. Sachant que la lumière laser doit arriver en coïncidence avec l'horloge LHC (40.079 Mhz), l'électronique doit prendre en compte ce temps de réponse. Le logiciel contrôlant le laser intègre l'équation de la courbe de tendance pour déterminer le retard à appliquer au signal de déclenchement laser en fonction de l'amplitude demandée.

L'équation est :

$$TEMPS = 0,86 * (Amplitude)^2 + 33,5 * Amplitude + 1528$$

Le temps est donné en nanoseconde et l'amplitude en ampère.

La courbe de tendance est une fonction polynomiale d'ordre deux qui donne, comme le montre la Figure 3-9, un résultat tout à fait satisfaisant. Les coefficients de cette équation sont valables à un instant donné et peuvent éventuellement fluctuer en fonction du vieillissement du laser. Il existe au moins deux solutions pour remettre à jour celle-ci, solutions qui seront expliquées dans la suite du document.

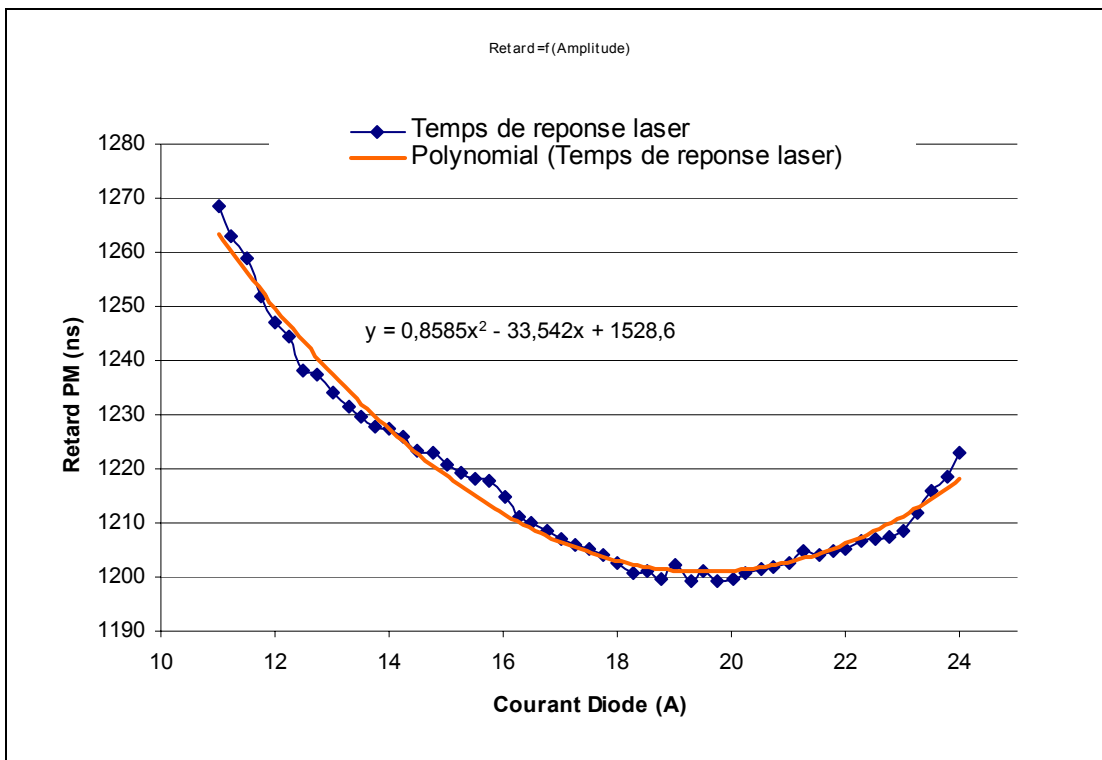


Figure 3-9 Courbe de réponse du laser à un signal échelon d'amplitude variable.

La description des différents éléments intervenant dans la commande et le contrôle du laser vient d'être expliquée dans ces trois premiers chapitres. Le chapitre suivant présente les contraintes à apporter à la carte électronique de commande du laser.

4 Cahier des charges

Le système laser pour le calorimètre à tuiles scintillantes du détecteur ATLAS doit être commandé par de l'électronique externe. Dans le paragraphe 3.2, nous avons présenté les signaux permettant d'interfacer la pompe laser avec son système de commande. Une carte électronique doit être développée afin de générer les signaux entre la pompe laser et le système de contrôle et d'acquisition. Le standard des châssis d'acquisition au CERN est le VME, c'est pour cette raison que la carte électronique utilise ce standard.

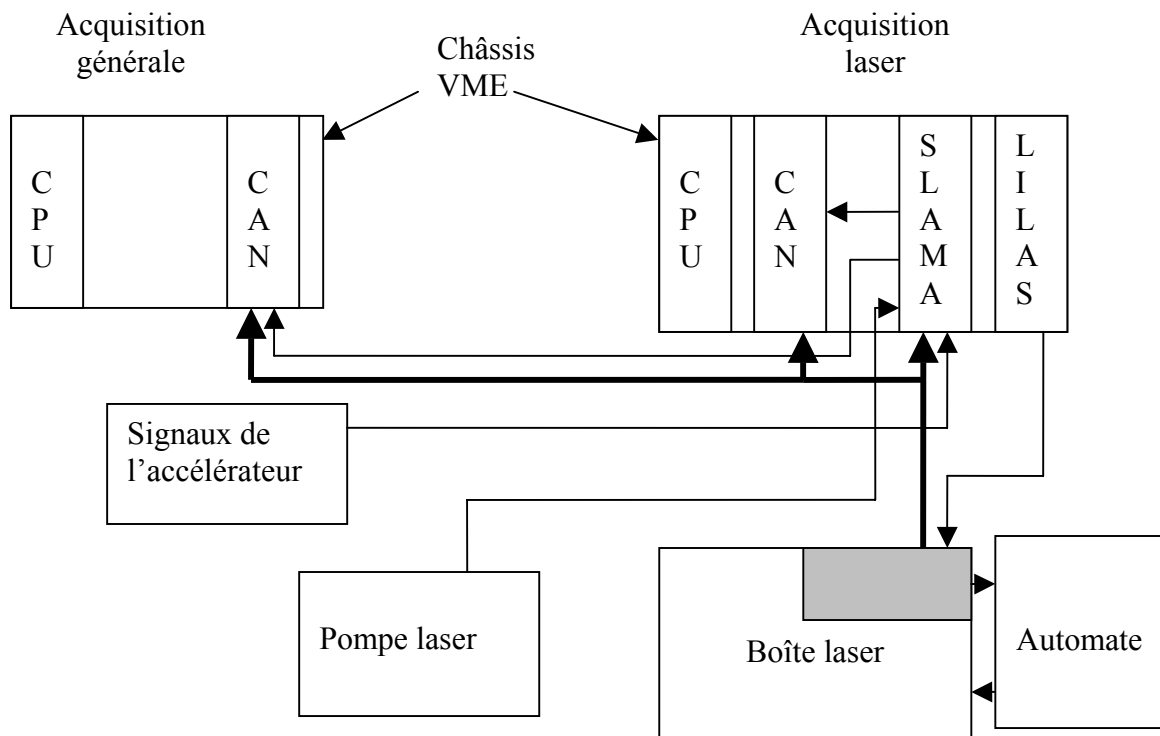


Figure 4-1 Synoptique du système laser.

Cette carte électronique doit posséder des entrées analogiques pour traiter les signaux des photodiodes, des photomultiplicateurs et de la lecture de l'amplitude laser. Elle a besoin d'une sortie analogique pour la commande en amplitude du laser. Elle doit avoir aussi des entrées-sorties numériques pour les différents contrôles de la pompe laser (synchronisation du laser) et pour la logique d'acquisition.

Les signaux, issus des photodiodes et des photomultiplicateurs de la boîte laser, sont fournis à l'acquisition principale pour être numérisés et stockés en ligne dans le flux normal de données.

La Figure 4-1 montre la structure du système laser avec son électronique d'acquisition (CAN, SLAMA) et son système de contrôle (LILAS, automates).

4.1 Entrée de discrimination

Le discriminateur met en forme les signaux analogiques provenant des détecteurs (photodiodes, photomultiplicateurs). Il transforme la valeur analogique du signal en une impulsion logique exploitable par l'électronique numérique. Le principe d'une telle

détection est un comparateur à seuil réglable. Le chapitre 7.2 présente deux méthodes pour réaliser cette conversion.

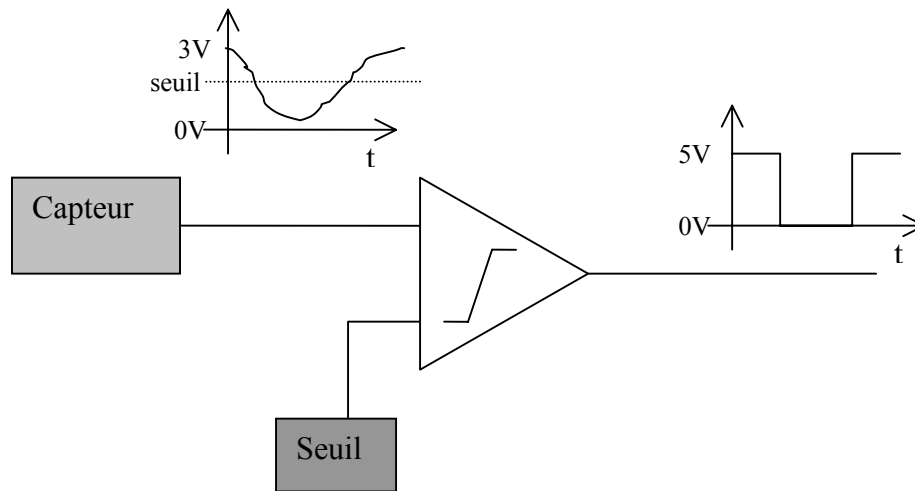


Figure 4-2 Synoptique de l'entrée de discrimination.

La mise en forme de ces entrées a une très grande importance. En effet, pour obtenir une résolution temporelle stable, il faut minimiser, à tous les étages de l'acquisition, la fluctuation du temps de réponse. La fonction de discrimination doit répondre avec une précision de l'ordre de une à cinq nanosecondes, quels que soient l'amplitude et le temps de montée de des signaux d'entrée.

La logique de déclenchement de l'acquisition doit être rapide. Les entrées provenant des photomultiplicateurs qui ont un temps de réponse court, sont utilisées pour créer le signal de déclenchement. Le temps de réponse de ce système doit être le plus court possible.

Le nombre d'entrées à discriminer est de huit pour notre application, quatre photodiodes, deux photomultiplicateurs, plus deux voies de rechanges.

4.2 Entrées-sorties numériques

Dans notre application, il existe différents signaux provenant de l'extérieur, tels que l'horloge LHC, le BCR, le ECR... Ces signaux n'ont pas forcément les mêmes niveaux d'entrées et de sorties, le système doit donc être capable de s'adapter à cela.

Le système comporte trois normes différentes pour ces entrées-sorties :

- LVDS (Low Voltage Differential Signal)
- ECL (Emitted Coupled Logic)
- NIM (Nuclear Instruments Methods)

Les différents signaux ainsi que la norme seront décrits dans le chapitre 8 « test de la carte électronique ».

Pour des raisons de place sur la face avant de l'unité VME, le nombre d'entrées-sorties est limité. Pour la norme LVDS, il en faut quatre pour l'interface avec la carte LILAS et quatre autres pour l'interface avec les signaux de l'accélérateur. Les entrées-sorties ECL et NIM seront au nombre de quatre et seront utilisées pour l'interface avec le LHC et divers signaux servant à l'acquisition.

4.3 Différents modes de fonctionnement

Le chapitre 3 met en évidence les principaux modes de fonctionnement de l'acquisition du système laser. Il y a deux systèmes de déclenchement : le premier est le mode en fonctionnement autonome et le deuxième correspond au mode normal avec l'injection de la lumière laser sur les photomultiplicateurs du calorimètre à tuiles scintillantes.

Le mode autonome permet de faire les réglages et de confirmer le bon fonctionnement de l'appareil. Dans ce mode, l'acquisition générale du TILECAL ne doit pas être prévenue. Seule celle du laser doit acquérir les valeurs des *CAN* et du TDC⁷. Dans tous les cas, il faut deux signaux séparés pour déclencher l'acquisition générale et l'acquisition *CAN* laser.

Le mode calibration des photomultiplicateurs provoque la mise en route des deux acquisitions (générale et laser). Il doit également activer le système d'acquisition et lui dire la provenance de ce déclenchement.

Le système laser doit prendre en compte les réglages permettant de couvrir toute la dynamique de la physique. En effet les photomultiplicateurs doivent couvrir la dynamique en énergie de 0,25 MeV à 1,5 TeV.

La dynamique est donc $\frac{1.5 \cdot 10^{12}}{300 \cdot 10^6} = 5 \cdot 10^4$. Cette dynamique est étendue à 16 bits, soit 65536.

La dynamique du laser est de l'ordre de 30, ce qui est très loin de ce qui est attendu. Pour l'augmenter, le système dispose d'une roue comportant huit filtres neutres. Ils permettent d'atténuer la lumière laser transmise aux photomultiplicateurs sans modifier la longueur d'onde et ainsi d'augmenter l'amplitude énergétique du laser.

Pour réaliser cette variation sur une dynamique de vingt à trente, une table pouvant contenir 32 valeurs, sera implantée dans la carte de contrôle du système laser.

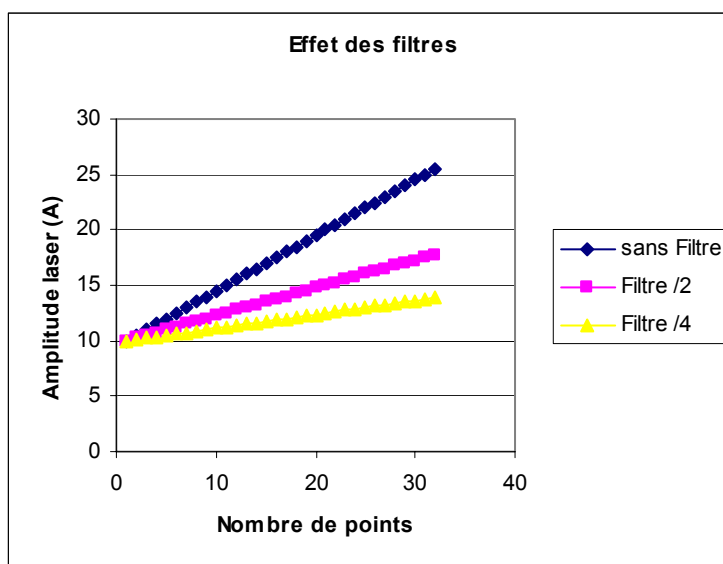


Figure 4-3 Augmentation de la dynamique du laser grâce aux filtres.

⁷ TDC : Time Digital Converter

Le temps entre chaque pas correspond au cycle de fonctionnement du laser, c'est à dire 0,5 s. Avec ce système de paramétrage, il est très facile de faire du mono-impulsion en introduisant trente-deux fois la même valeur dans la table.

4.4 Impulsion laser

Le signal pour déclencher l'impulsion lumineuse laser est anticipé pour toucher le bon BCID, à cause du temps de réponse du système ($>1 \mu s$). Mais ce temps est variable en fonction de l'amplitude laser demandée (Figure 3-9). Le système intègre une autre table qui est le retard à appliquer en fonction de l'amplitude. Ce retard τ est calculé par le logiciel selon une loi polynomiale chargée dans la table. Après avoir reçu l'ordre de l'acquisition générale du TILECAL, τ permet de déclencher l'impulsion de synchronisation laser au moment opportun.

4.5 Mesure du temps de réponse

Le temps de réponse du système est connu (§3.5), mais il n'est pas possible de prévoir sa stabilité à long terme. Il faut que la carte électronique soit équipée d'un système le mesurant. La mesure est effectuée à chaque impulsion laser. Un système de correction en ligne doit être intégré sur la carte ou par logiciel.

4.6 Convertisseur numérique analogique (CNA)

L'interface avec la pompe laser se fait de manière analogique pour transmettre le signal qui détermine l'amplitude de l'impulsion lumineuse. Le CNA permet de convertir un nombre de canaux en valeur analogique. Le résultat de cette conversion est ensuite transmis à la pompe laser. Les principales caractéristiques du CNA sont :

- Son amplitude sortie qui doit être comprise entre 0 et 4 V,
- Sa résolution dépendant de son nombre de bits.

4.7 Convertisseur analogique numérique (CAN)

4.7.1 Mesure des signaux photodiodes et photomultiplicateurs

Les signaux à convertir proviennent de deux types de capteurs, les photomultiplicateurs et les photodiodes. L'information importante à connaître est la quantité d'énergie déposée dans les cellules des détecteurs, c'est pourquoi le convertisseur analogique numérique est un CAN de charge. Ce type de convertisseur permet de s'affranchir de la forme des signaux et de leur déformation dans les câbles.

Le principe consiste à intégrer le signal pendant un certain temps qui est défini par un signal appelé porte du CAN. Ce module doit être au format VME, afin de l'intégrer au reste de l'acquisition. Étant donné le peu de concurrence dans l'industrie concernant ce type de module, le choix de la carte est un CAN de charge modèle V265 de la société CAEN. Ses caractéristiques principales sont répertoriées dans le Tableau 4-1.

Désignation	Caractéristiques
Impédance d'entrée	50 Ω
Gamme d'entrée	800 pC
Temps de conversion	300 μ s
Largeur de la porte	100 ns à 5 μ s
Nombre de voies	8
Résolution	0,195 pC

Tableau 4-1 Principales caractéristiques du CAN V265

Ce module existe en deux versions, les différences concernent le niveau des signaux (NIM ou ECL) pour la porte et le busy⁸. Etant donné que la carte de contrôle doit être équipée de ces deux sortes d'entrées-sorties, le choix n'a pas une grande importance. Nous avons opté pour le modèle à entrée NIM référencé V265N.

4.7.2 Mesure de l'amplitude laser

La pompe laser est équipée d'une sortie analogique qui permet de connaître l'amplitude de l'impulsion lumineuse émise. Cette information, à disposition de la carte de contrôle du laser, est numérisée et exploitée par le logiciel pour contrôler le bon fonctionnement du laser et de la carte de commande.

Les principales caractéristiques sont :

- Sa tension d'entrée : 0 à 4 V, 4V correspondant à 40 A d'amplitude laser,
- La précision du CAN est de 10 mA.

Calcul du nombre de bits n : $precision = \frac{Amplitude}{2^n}$

soit $n = \log_2\left(\frac{Amplitude}{precision}\right) = 11,97$

Le CAN devra avoir de 12 bits minimum pour obtenir la précision requise.

4.8 Interface avec le logiciel

Toute l'électronique de contrôle et d'acquisition se trouve dans un châssis VME et dans l'automate programmable. Le synoptique de la Figure 4-1 montre le détail et le partage des applications entre le VME et l'automate PLC (Programmable Logic Control) S7-300 du fabricant Siemens.

Le PLC a été choisi pour sa fiabilité et sa robustesse, et effectue les tâches de contrôle, telle que la commande des moteurs pas à pas entraînant la source alpha et la roue à filtres. Il gère la régulation en température de la boîte à photodiodes, le contrôle de l'humidité et le débit d'azote injecté dans celle-ci. Il a aussi la gestion de la sécurité du système. En effet les règles étant très strictes avec cette classe de laser, il doit être impossible d'ouvrir la boîte lorsque le laser est allumé.

⁸ Busy : est une sortie du module CAN qui indique une conversion en cours.

Le châssis VME dispose d'une carte électronique pour l'injection de charge dans les préamplificateurs des photodiodes nommée LILAS (Linéarité Laser). Elle gère aussi la liaison vers l'automate sous forme d'entrées-sorties numériques, pour permettre de recopier les informations suivantes :

- le positionnement de la roue à filtres,
- le positionnement de la source alpha,
- la position de l'obturateur,
- les alarmes,
- l'ouverture de la boîte Laser.

Le système d'exploitation du VME n'est pas encore défini (Linux, LynxOS...), le programme gérant cet appareil devra s'intégrer au système de contrôle général du TILECAL.

Il fait l'acquisition des *CAN* et fournit la moyenne des piédestaux par voie qui doit être soustraite des valeurs de source alpha et impulsion lumineuse. La Figure 4-4 montre l'uniformisation des signaux photodiodes par soustraction des piédestaux à partir des données acquises par le prototype du système laser. Ces graphes ont été obtenus en excitant les photodiodes par la source alpha.

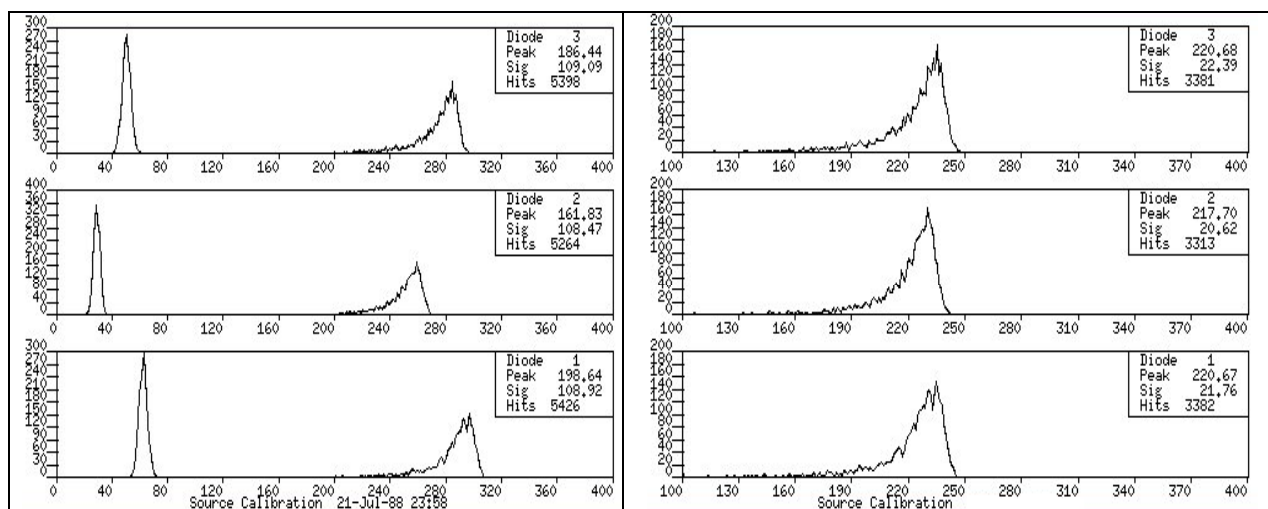


Figure 4-4 Signaux photodiodes à gauche sans soustraction des piédestaux et à droite avec.

4.9 Evolution du système

La logique de déclenchement du laser n'est pas complètement définie et peut encore évoluer avant et après le démarrage de l'expérience. Le système de commande et de déclenchement doit pouvoir s'adapter à une évolution possible. En effet, en plus des entrées-sorties analogiques et numériques de rechange, la logique doit être modifiable.

Sur le prototype du système laser, la logique est faite avec des modules spécifiques et du câblage externe pour relier les portes élémentaires entre elles. Les inconvénients de cette méthode sont d'une part le risque d'erreur de câblage et d'autre part les problèmes de connectique.

Le système doit aussi avoir un fonctionnement autonome en l'absence des signaux de l'accélérateur, pour éviter le développement d'autres cartes onéreuses. La carte de contrôle laser a sa propre logique de fonctionnement autonome. Le choix de la fonctionnalité (autonome ou normal) est effectué par reconfiguration de la logique.

Pour réaliser cette version configurable, il existe des circuits numériques programmables appelés FPGA⁹ ; une dizaine de fabricants fournissent de tels circuits. Le choix est réduit à deux au Laboratoire de Physique Corpusculaire pour des raisons de licences disponibles. Il s'agit des sociétés Xilinx et Altera. Le chapitre suivant est consacré à la technologie de ces circuits, ainsi qu'à la manière de les configurer.

⁹ FPGA : Field Programmable Gate Array

PARTIE 3

Chapitre 5 Composants numériques programmables

Chapitre 6 Outils informatiques

5 Composants numériques programmables

Les composants numériques programmables sont de plus en plus utilisés de nos jours, pour des raisons de souplesse dans la conception des cartes électroniques et de performance toujours accrue. En effet ils ont un coût moindre que les ASIC¹⁰ pour des faibles quantités. Une fois que les entrées-sorties sont affectées, la logique interne peut être reconfigurée sans modification extérieure. Il est important de connaître l'architecture interne de ces *FPGA* pour savoir s'ils ont les ressources nécessaires pour l'application.

Les *FPGA* sont à base de SRAM¹¹. L'avantage de cette technologie est de pouvoir les reprogrammer indéfiniment. Elle nécessite cependant un composant externe pour charger sa configuration.

Il existe beaucoup de familles pour ce type de composant, mais pour les raisons expliquées dans le chapitre précédent, seulement deux sont utilisables au Laboratoire de Physique Corpusculaire. Le choix de ces composants se fait en fonction du nombre d'entrées-sorties, du nombre de cellules logiques et des fonctionnalités requises pour l'application.

Pour la gestion du retard en fonction de l'amplitude, une table de 32 valeurs est requise. Elle doit être accessible par le *VME* et par la logique de commande du laser. Cette fonction peut être réalisée par des registres, mais la perte de place est énorme comme le montre l'annexe 3. Il existe des circuits *FPGA* possédant des mémoires qui remplissent tout à fait la fonctionnalité de la table.

Les familles *VITEX* de chez *Xilinx* ou *ACEX* de chez Altera possèdent les fonctions similaires. La principale différence est le prix du composant.

La suite de ce chapitre se réfère à la famille *ACEX 1K* [10] utilisée pour la carte gestion laser.

Description	EP1K10	EP1K30	EP1K50	EP1K100
Nombre de portes	10000	30000	50000	100000
Eléments logiques	56000	119000	199000	257000
Nombre de RAM (bits)	12288	24576	40960	49152
Nombre d'entrées-sorties	136	171	249	333

Tableau 5-1 Description de la famille ACEX

Pour la carte électronique de gestion, le volume de mémoire utile est de deux tableaux de 16 bits d'une profondeur de 32 adresses, soit 1024 bits. Cette valeur n'est pas primordiale puisque le plus petit circuit de la famille *ACEX* comporte 12288 bits. Le critère important est le nombre d'entrées-sorties utiles pour l'application.

5.1 Entrées-sorties

L'avantage de cette famille est de disposer d'entrées comportant des bascules de type D, permettant une synchronisation plus rapide sur l'horloge du système (Figure 5-1).

L'interface *VME* est très gourmande en entrées-sorties. En effet le *VME* dispose d'un bus d'adresse 32 bits, d'un bus de données de 32 bits dont seulement 16 bits utilisés dans l'application, de quelques signaux de contrôle et de décodage d'adresse. Le nombre total

¹⁰ ASIC : Application Specific Integrated Circuit.

¹¹ SRAM : Static Random Access Memory.

pour la partie interfaçage avec le bus est de 80 signaux. Pour effectuer une reconfiguration des circuits *FPGA* sans apport de matériel extérieur, ce circuit doit interfacier une mémoire flash de configuration ayant 45 signaux. Le total est de 125 broches pour l'interface auxquelles s'ajoutent les signaux servant aux contrôles de la carte. C'est pour cette raison que le circuit utilisé est EP1K30, puisqu'il laisse une ressource de 46 broches pour le reste de la carte.

Le LFA¹² et le contrôle TDC sont intégrés dans le même *FPGA*. L'interface du TDC requiert 70 signaux (annexe 7). Le LFA a pour but de générer des signaux en mode autonome mais également de gérer des entrées sorties (15) de la carte ainsi que l'interface avec le bus de données du VME (16 bits) et d'adresse (12 bits). Le nombre total étant de 113, un EP1K10 pourrait suffire, mais pour des raisons d'approvisionnement il est préférable d'utiliser le même fabricant.

Enfin L'UCA¹³ et le contrôle laser prennent place dans le même circuit programmable. Il y a toujours les mêmes contraintes concernant l'interface bus VME (données 16 bits et adresse 10 bits). Il y a une cinquantaine de signaux externes pour les entrées sorties. La commande laser utilise 13 signaux, plus un *CAN* 12 bits pour mesurer l'amplitude du laser. Le nombre de signaux est inférieur à 136, pour les mêmes raisons que pour le LFA, nous utiliserons un EP1K30.

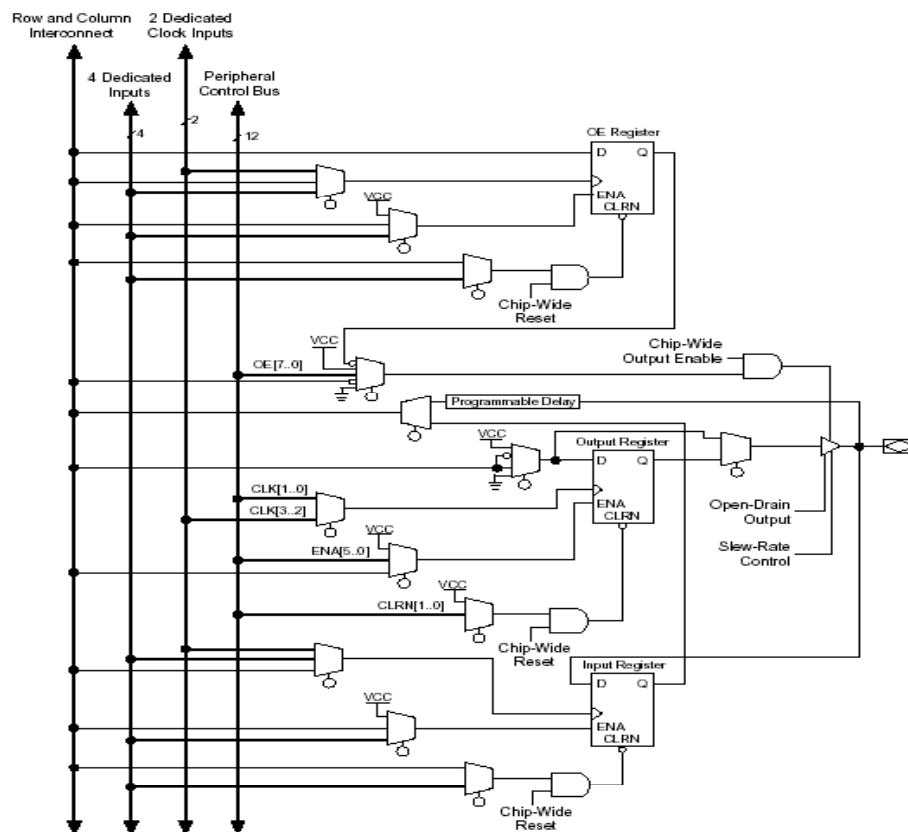


Figure 5-1 Structure interne des entrées-sorties de l'ACEX 1K.

¹² LFA : Logique de Fonctionnement Autonome.

¹³ UCA : Unité de Calculs et d'Ajustements

5.2 Eléments logiques

Ces éléments sont le cœur du *FPGA*. C'est grâce à eux que toutes les fonctions logiques combinatoires ou séquentielles sont possibles. Leur structure, pour la partie combinatoire, est fondée sur une « look-up table » qui est une mémoire à quatre entrées et une sortie dans laquelle est rangée la fonction logique à réaliser. Pour la partie séquentielle une bascule de type D est utilisée.

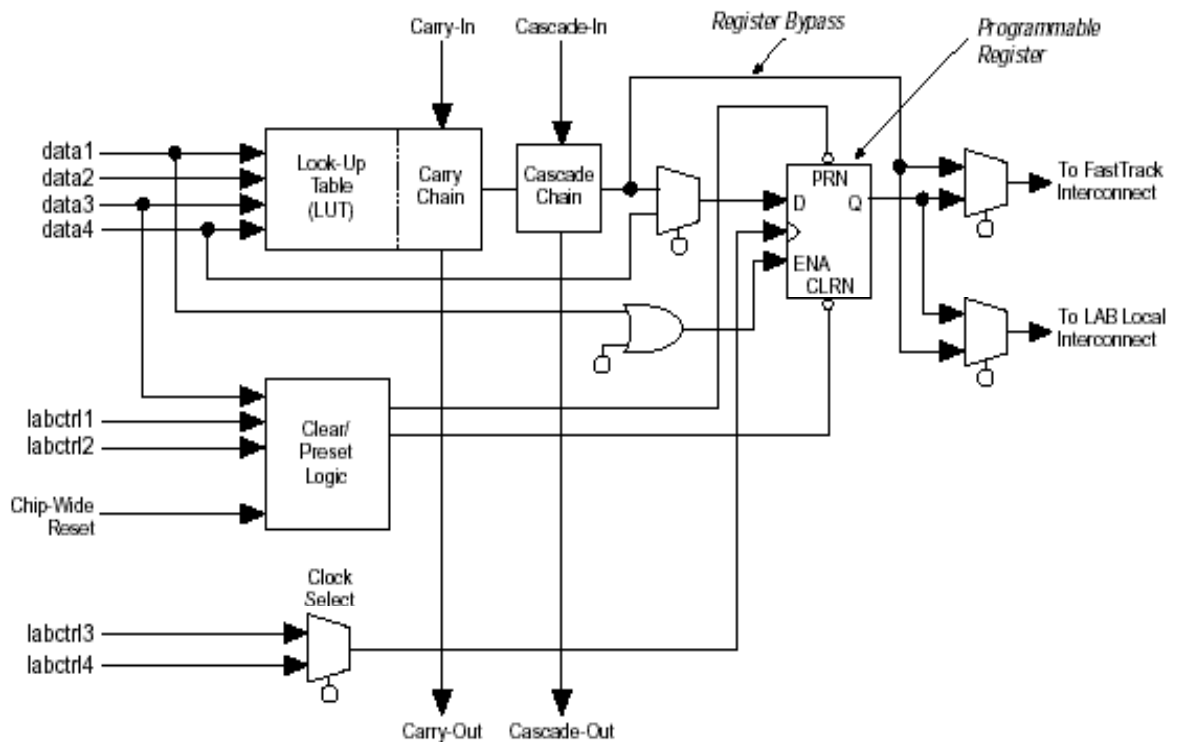


Tableau 5-2 Structure des éléments logiques des ACEX

5.3 Configuration des circuits FPGA

Il existe différents modes de programmation pour ces circuits [11]. Les principaux sont décrits dans les paragraphes suivants. La reconfiguration de ce type de composant reste la plus souple malgré un défaut majeur. En effet il y a perte de la fonctionnalité après une coupure de l'alimentation. La suite présente les différents modes de configuration existants pour cette technologie :

- maître en mode série,
- esclave en mode série,
- programmation en chaînant les *FPGA*,
- programmations simultanées,
- le mode JTAG¹⁴.

¹⁴ JTAG : Join Test Action Group est un groupe permettant de mettre en place une norme de test des composants numériques programmables. Cette norme a été étendue à la programmation de *FPGA*.

5.3.1 Mode série

Il existe deux modes de programmation série : maître et esclave. Ils se différencient par le mode de génération de l'horloge série. Celle-ci peut être générée par le *FPGA* ou par le périphérique de programmation (MasterBlaster, Microprocesseur, Prom série). Le MasterBlaster n'est qu'un outil d'aide au développement qui permet une mise au point très souple de l'application (§8.2).

L'avantage d'un système série est le faible nombre de signaux nécessaires à la programmation (Figure 5-2), son défaut majeur étant le temps de programmation du *FPGA* proportionnel aux nombres de cellules *SRAM*. De plus il y a un temps mort au démarrage et à la reconfiguration de l'application qui peut atteindre des centaines de millisecondes selon le nombre de bits à programmer.

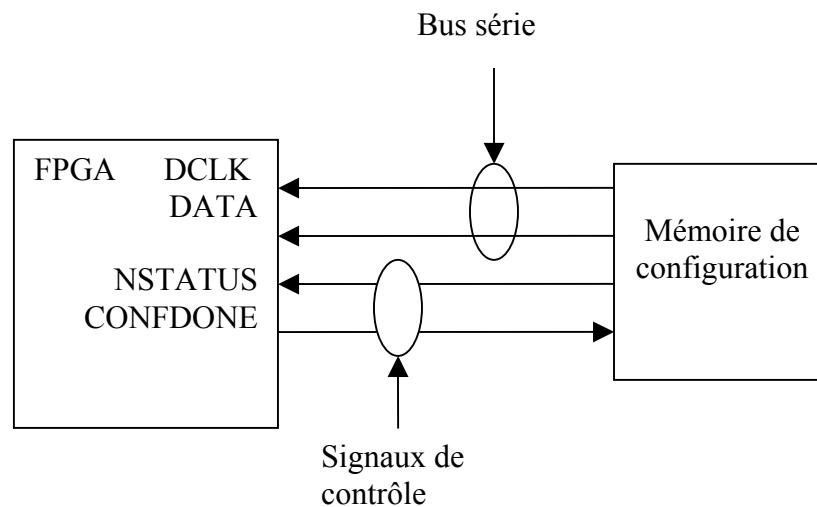


Figure 5-2 Mode de programmation série d'un FPGA.

5.3.2 Mode parallèle

Ce mode est proche de la programmation série, à l'exception du format des données qui est de huit bits minimum au lieu d'un bit pour le mode série.

Le format de transmission permet de constater que l'avantage du mode série (nombre de signaux) devient l'inconvénient du mode parallèle (8 bits de données et 22 bits d'adresses) même s'il y a possibilité d'utiliser ces lignes de programmation comme des entrées-sorties standards. De plus la place occupée sur la carte est plus importante : une mémoire parallèle a plus de broches qu'une mémoire série.

5.3.3 Programmation multiple en chaînant les FPGA

Il est possible de configurer plusieurs circuits programmables en les chaînant les uns aux autres. Quand le premier est programmé, un signal est envoyé directement au circuit suivant, créant ainsi un bus série de programmation. Les fabricants ont conçu des PROM séries pouvant contenir de une à huit configurations. Le temps de programmation augmente donc avec le nombre de *FPGA*.

5.3.4 Programmations simultanées

Grâce au mode série ou parallèle, plusieurs *FPGA* peuvent être programmés simultanément. Cela permet d'obtenir un temps de programmation plus court, puisqu'il ne dépend pas du nombre de *FPGA*. La seule contrainte aurait pu être une impossibilité de charger deux *FPGA* avec des configurations différentes. Mais les fabricants de ces circuits programmables ont mis sur le marché une mémoire permettant de configurer jusqu'à huit *FPGA* simultanément en mode série. Il est aussi possible d'avoir plusieurs configurations pour le même *FPGA*.

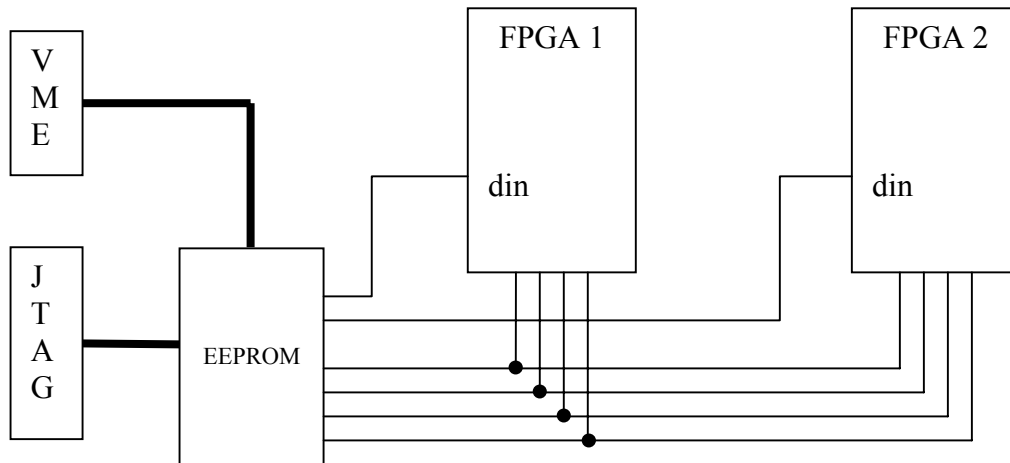


Figure 5-3 Configuration série passive.

5.3.5 Mode JTAG

Ce mode sert à la mise au point du système et à la programmation de la mémoire de configuration. Son principe consiste à brancher la sonde (MasterBlaster) et de configurer grâce au logiciel fourni par le fabricant du *FPGA*.

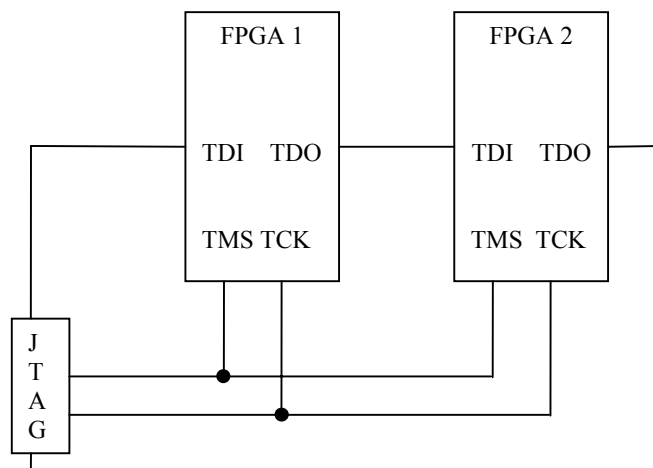


Figure 5-4 Principe de la configuration JTAG.

6 Outils informatiques

Pour la réalisation de la carte, une grande partie de l'étude a été réalisée avec des outils de conception assistée par ordinateur (CAO). Les logiciels à disposition sont fournis par la société *CADENCE* pour la schématisation et la simulation numérique et analogique. Pour la réalisation des circuits numériques programmables, les logiciels sont fournis par les fabricants de ces circuits (*ALTERA*, *XILINX*, *ACTEL*...). Le laboratoire de Physique Corpusculaire dispose de deux logiciels pour ce type de composant : *Maxplus2* de la société *ALTERA* et *Alliance* de la société *XILINX*. La carte de gestion du laser est composée d'une partie numérique et d'une partie analogique. Elles sont testées séparément à l'aide des simulateurs leur correspondant. Il existe une possibilité de faire de la simulation mixte, mais pour des raisons de mise en oeuvre délicate, elle n'a pas été utilisée dans le développement de cette carte.

6.1 Simulation analogique

6.1.1 Principe de la simulation

Afin d'évaluer les performances des comparateurs et de choisir celui qui correspond le mieux au critère défini par le cahier des charges, différents schémas ont été testés grâce au simulateur analogique.

Le simulateur AWB (Analog WorkBench) est intégré au logiciel Cadence, mais il ne dispose pas de tous les modèles de simulation. La première étape est de se procurer auprès du fabricant le fichier de description SPICE¹⁵ du composant à utiliser. Un exemple de fichier se trouve dans l'annexe 4. Le synoptique Figure 6-1 montre la démarche à suivre pour effectuer les tests virtuels du discriminateur à fraction constante.

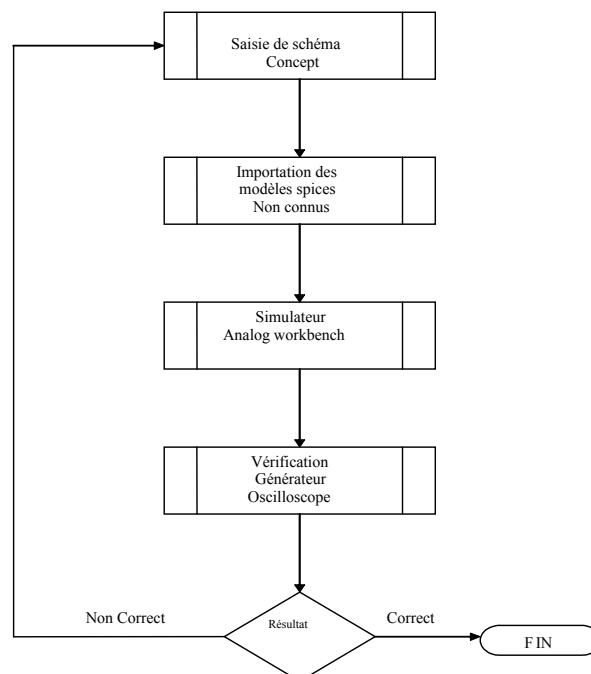


Figure 6-1 Synoptique de la simulation analogique.

¹⁵ SPICE : *Stands for Simulation Program Integrated Circuits Especially* a été développé par l'université de Berkeley en Californie.

6.1.2 Résultats de la simulation analogique

Le schéma simulé avec différents comparateurs grâce à AWB est celui de la Figure 7-7. Un générateur d'impulsions à amplitude variable dont la courbe est présentée Figure 6-2, simule le signal d'une photodiode. Pour une variation du signal d'entrée comprise entre 300 mV et 2500 mV environ avec un temps de montée 50 ns, la sortie du comparateur est observée. Le temps de décalage en fonction de l'amplitude est mesuré. La figure ci-dessous donne la forme du signal du comparateur et la valeur du temps entre le marqueur 1 et le marqueur 2. La différence $\Delta M = 1,4$ ns est la mesure de la gigue.

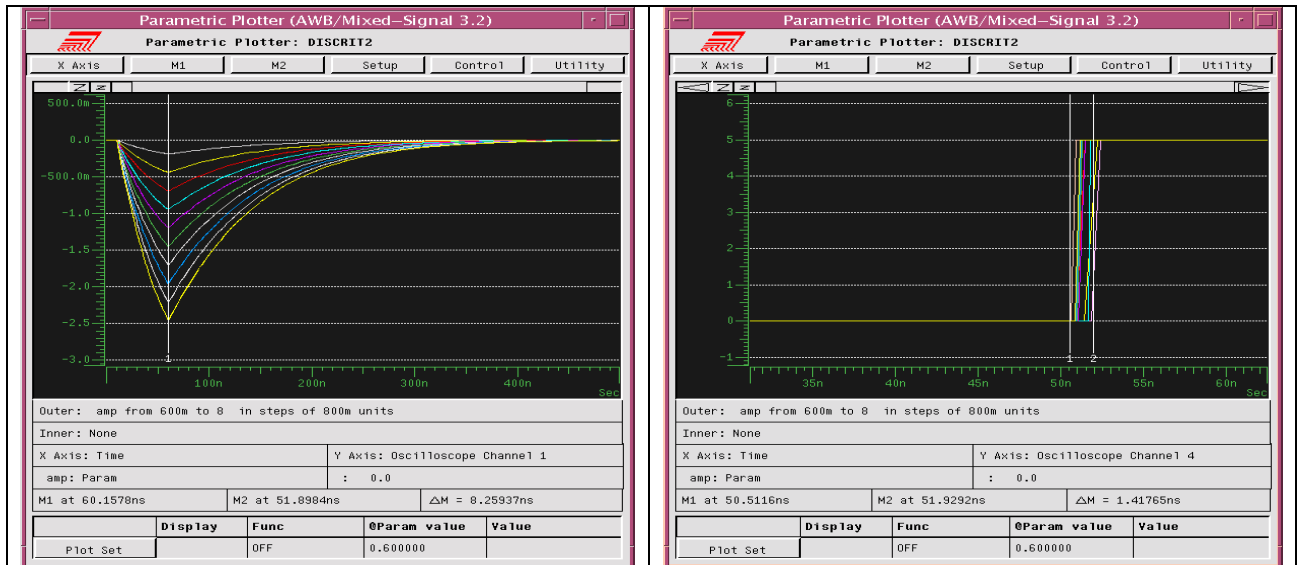


Figure 6-2 Capture de l'oscilloscope du simulateur, impulsion d'entrée à gauche et de sortie du comparateur à droite.

6.2 Simulation numérique

6.2.1 Principe de la simulation numérique

Il existe plusieurs manières de faire de la simulation numérique. La plus classique consiste à utiliser des bibliothèques de composants avec lesquels sont associés un modèle de simulation. La saisie se fait schématiquement et la simulation graphiquement, à l'aide d'outils spécialisés.

Une autre méthode consiste à décrire le fonctionnement à l'aide d'un langage haut niveau, type VERILOG ou VHDL. Dans un premier temps ce mode de développement permet de ne pas se soucier de la technologie employée. L'avantage est de tester, différentes solutions en codant les structures différemment.

Le langage de définition haut niveau est plus adapté aux *FPGA*, puisqu'il permet une souplesse de description sans avoir de bibliothèques propriétaires de composants.

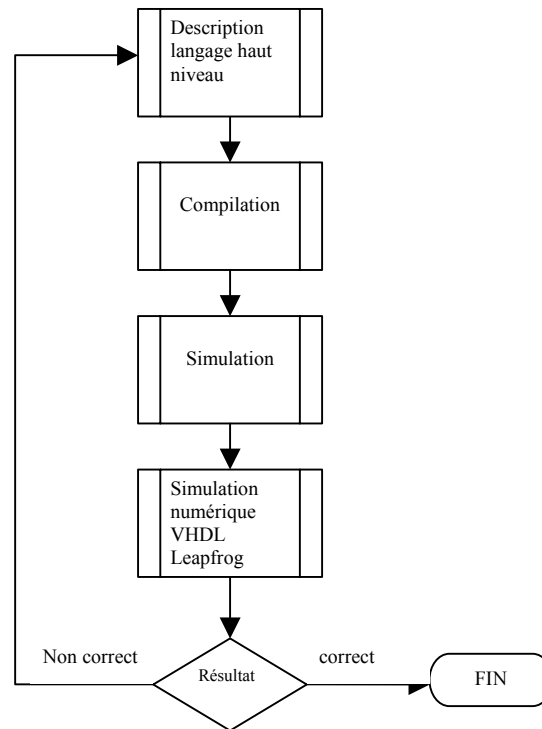


Figure 6-3 Principe de fonctionnement de la simulation numérique.

6.2.2 Exemple de simulation avec description VHDL

Pour simuler une description en langage haut niveau (VHDL) d'un processus, il faut d'abord décrire la fonctionnalité du système (Figure 6-4).

Cet exemple permet de réaliser un retard programmable au pas d'une période d'horloge. Il est déclenché par un signal de synchro et génère un signal de sortie S_{out} avec un retard défini par le registre *RETARD*. Ce module fait également appel à un sous-module de mise en forme (appelé *MiseEnForme*) qui permet de faire une impulsion de sortie d'une largeur variable et multiple de la fréquence d'horloge.

Ensuite il faut écrire toujours en VHDL un fichier de test où toutes les entrées varient de façon à connaître le comportement du modèle à tester (Figure 6-5).

```

entity GestionRetard is
generic (NbBitRetard : integer := 12);
port (S_out   : out std_ulogic;
      clk     : in  std_ulogic;
      Synchro : in  std_ulogic;
      Enable  : in  std_ulogic;
      Retard  : in  std_logic_vector (NbBitRetard-1 downto 0);
      Reset   : in  std_ulogic);
end GestionRetard;
architecture behavior of GestionRetard is
signal dcpt : std_logic_vector (NbBitRetard-1 downto 0) := (others => '0');
signal s    : std_ulogic;
Begin
MEF1 : MiseEnForme generic map (NBCLK => 4)
port map (Sortie => S_out,clk => clk,
          Entree => S,Reset => reset);
process (clk,reset)
Begin
if (reset = '1') then
dcpt <= (others => '0');
elsif (clk'event and clk = '1') then
if (synchro = '1') then
dcpt <= Retard;
else
dcpt <= dcpt - 1;
end if;
end if;
end process;
process (reset,dcpt)
Begin
if (reset = '1') then
s <= '0';
elsif dcpt = conv_std_logic_vector(2,NbBitRetard) then
s <= '1';
else
s <= '0';
end if;
end process;
end behavior;

```

Figure 6-4 Description VHDL d'un retard programmable.

```

architecture TestRetard of Z_testretard is
constant PERIODE_CLK : time := 25 ns;
constant NbBitRetard : integer := 12;

signal Retard : std_logic_vector (NbBitRetard-1 downto 0) := (others => '0');
signal clk    : std_ulogic := '0';
signal Synchro : std_ulogic := '0';
signal enable  : std_ulogic := '0';
signal fin     : std_ulogic := '1';
signal Reset   : std_ulogic := '0';
signal S_out   : std_ulogic := '0';
begin
GES1 : GestionRetard
generic map (NbBitRetard => NbBitRetard)
port map (S_out => S_out,clk => clk,
          Synchro => synchro,Enable => enable,
          Retard => Retard,Reset=> reset);

clk <= not clk after PERIODE_CLK/2;
reset <= '1' after 100 ns, '0' after 231 ns;

synchro <= '1' after 321 ns , '0' after 371 ns;
enable <= '1' after 300 ns, '0' after 3000 ns;
retard <= "0000001000010" after 250 ns;

fin <= '0' after 5 us;
assert fin = '1' report "The Simulation is over" severity error;
end Testretard;

```

Figure 6-5 Description de test de GestionRetard.

Dans notre application, l'horloge a une fréquence de 40 MHz. La période est définie à 25 ns par la constante *PERIODE_CLK*. Le retard engendré par ce module est un multiple de 25 ns. La Figure 6-6 montre le résultat graphique de cette simulation. La position des curseurs 1 et 2 donne la valeur du retard entre le signal *Synchro* et le signal *S_out*, soit 1666,5 ns. Dans le fichier de test la valeur du registre de retard est 42 en hexadécimal, soit un retard effectif de 1650 ns. Le décalage de 16,5 ns est dû au mode asynchrone du signal *Synchro* par rapport à l'horloge du système. Ce graphique montre aussi le bon fonctionnement de l'étage de mise en forme, puisque l'impulsion *S_out* mesure 100 ns soit 4 coups d'horloge comme paramétré par la constante *NBCLK*.

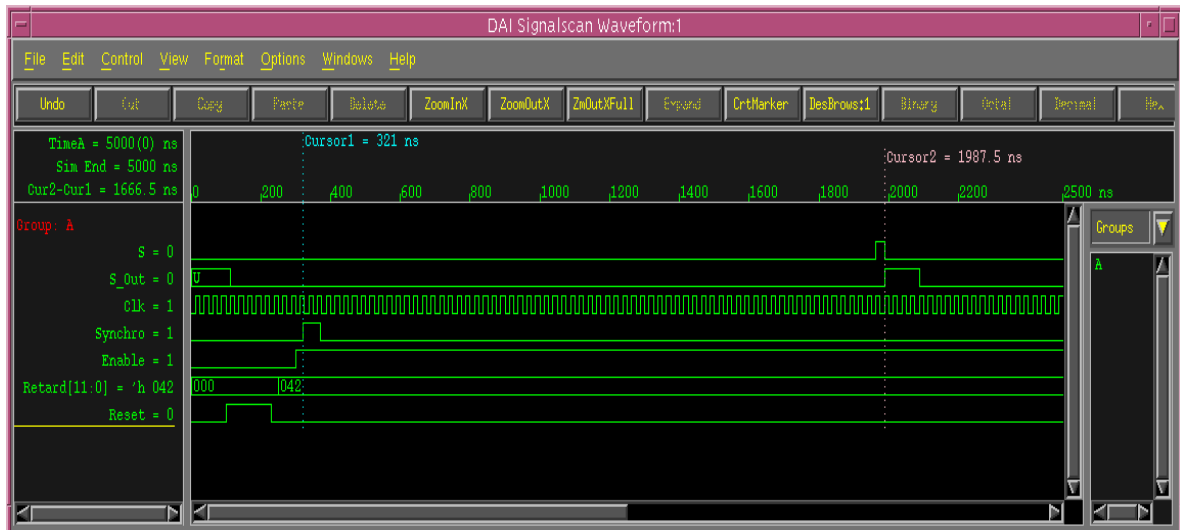


Figure 6-6 Résultat graphique de simulation.

6.2.3 Synthèse

Le but de cette synthèse est de transformer la description faite en langage haut niveau en langage compris par les logiciels de placement routage permettant l'intégration dans un système à logique programmable du type *FPGA*.

Le laboratoire de Physique Corpusculaire dispose du logiciel de synthèse *SYNPLIFY* de la société *SYNPLICITY*. La synthèse se décompose en deux étapes :

- Analyse du langage et extraction d'une vue bloc,
- Conversion en fonction de la cible programmable choisie avec les bibliothèques de composants.

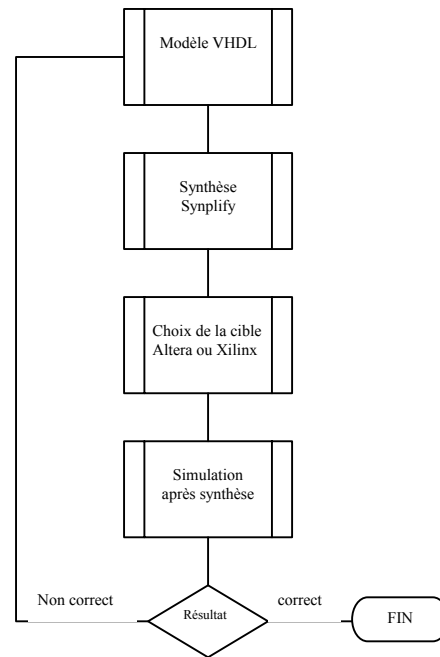


Figure 6-7 Synoptique de la synthèse.

Les deux sorties se font sous forme graphique et permettent de se rendre compte en première approche si le logiciel de synthèse a réalisé l'opération attendue.

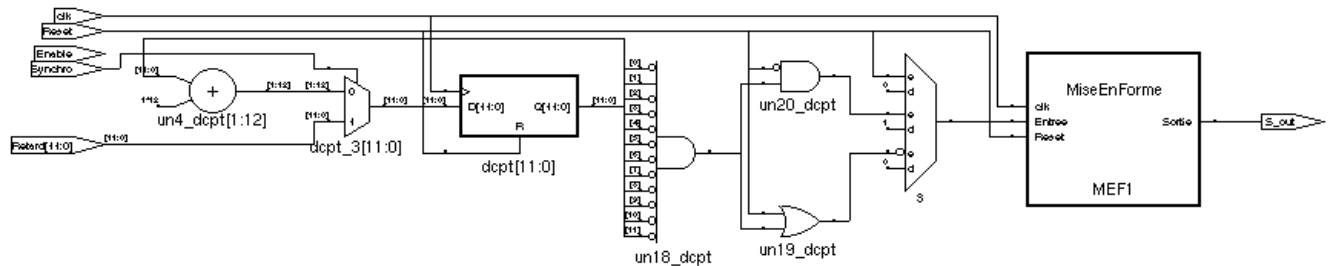


Figure 6-8 Résultat de la synthèse du module retard.vhd.

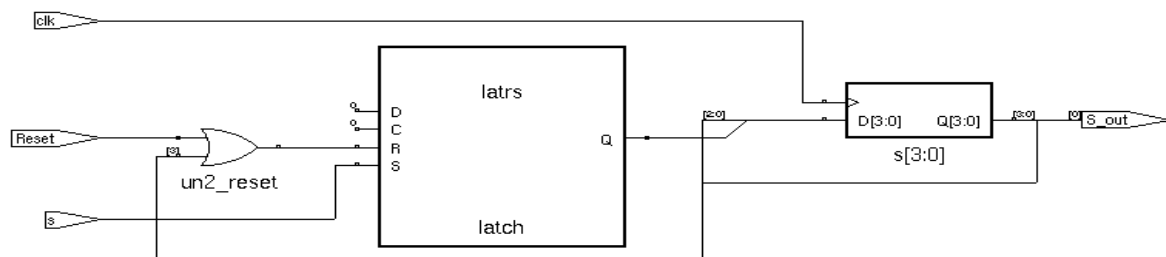


Figure 6-9 Résultat de la synthèse de l'étage mise en forme.

La vue schématique avec les bibliothèques des *FPGA* n'est pas très exploitable, comme le montre la Figure 6-10 (représentant une toute petite partie de la vue réelle). Mais elle peut se rendre utile pour des problèmes ponctuels comme un mauvais fonctionnement après synthèse.

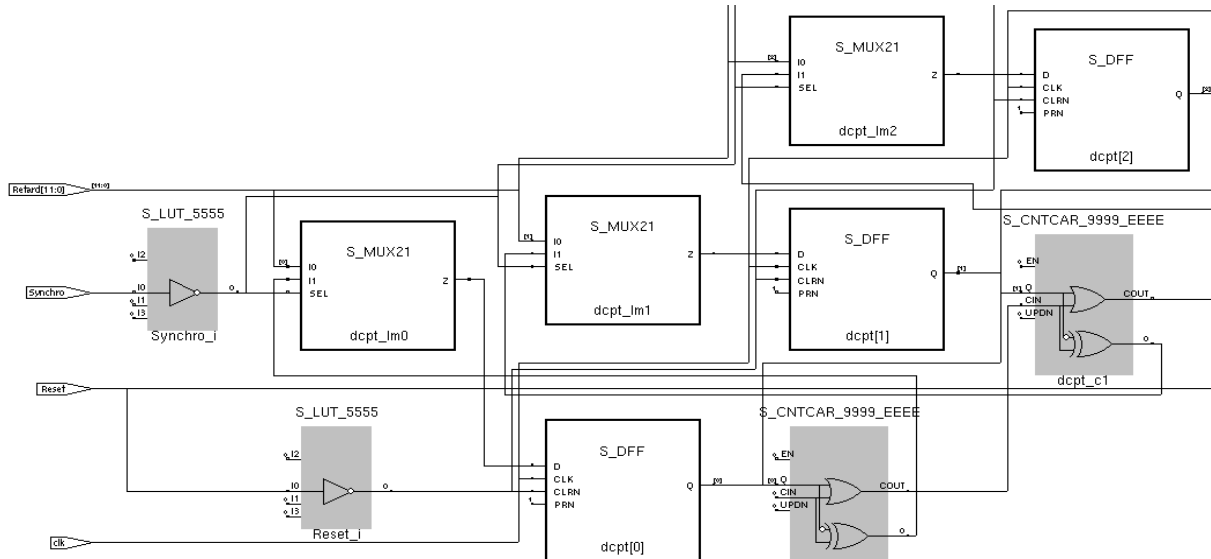


Figure 6-10 Partie du résultat de la synthèse vue constructeur (ALTERA).

Avant de passer au placement routage, il est tout à fait possible d'effectuer une simulation pour confirmer le bon fonctionnement du module. Il est évident que la manière de décrire un modèle de telle ou telle manière influence beaucoup l'outil de synthèse.

6.3 Placement routage

L'outil de synthèse transforme le langage haut niveau en netlist¹⁶, celle-ci est injectée dans l'outil de placement routage. Son rôle est de positionner les cellules primaires du composant. Il reçoit aussi les contraintes extérieures de l'utilisateur telle que la position des broches d'entrées-sorties du composant.

6.4 Exemple de fichier de test de Simulation VHDL

Pour une plus grande souplesse dans la simulation, des macro-commandes sont définies. Elles permettent d'écrire un seul fichier de test. Un autre fichier texte, contenant ces macro-commandes, est utilisé pour générer des séquences de test.

Chacune des macro-commandes a une fonction spécifique (écriture ou lecture dans un registre, positionnement d'un signal...).

Un exemple de macro commande est détaillé dans le Tableau 6-1. Il permet de tester la partie calculs et ajustements de la commande laser.

¹⁶ Netlist : fichier comportant les listes des équipotentiels reliant les composants.

Macro commande	Description
STMR adresse donnée	Ecrit une donnée à l'adresse spécifiée
LDMR adresse	Lit une donnée à l'adresse
LDBC	Lit le BCIDREF
PUBC	Génère un BCR
SYNC	Génère la synchronisation de déclenchement laser
WAIT X ns	Attendre X nanosecondes
STOP	Arrête la simulation

Tableau 6-1 Détail des macro commandes.

PARTIE 4

Chapitre 7 Etude de la carte SLAMA

Chapitre 8 Test de la carte SLAMA

7 Etude de la carte SLAMA

La carte de commande du laser et de déclenchement de l'acquisition SLAMA (Système LASer Monitoring Acquisition) doit recevoir et fournir plusieurs informations, numériques ou analogiques, provenant de l'accélérateur et servant à contrôler le système laser.

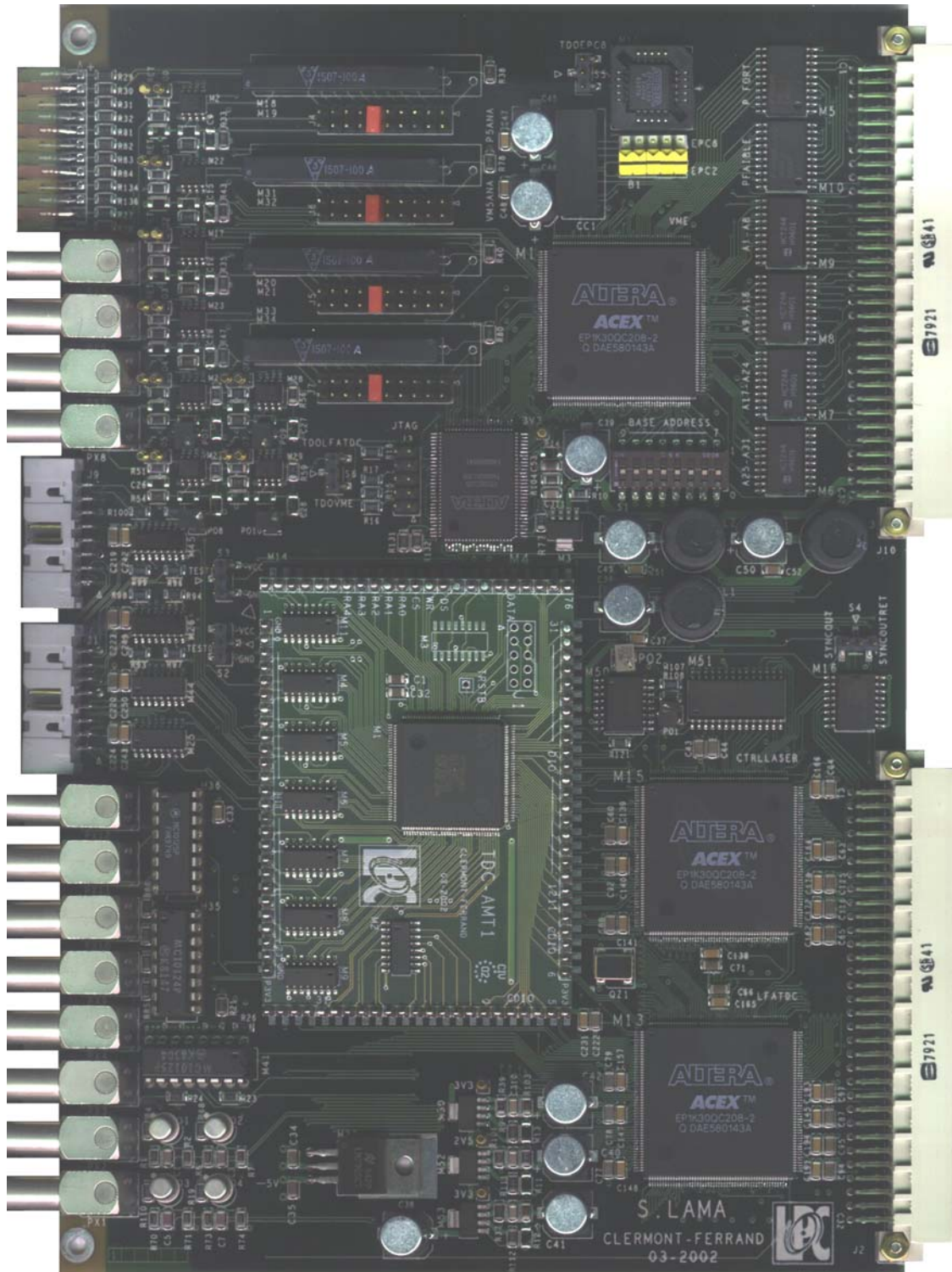


Figure 7-1 Photographie de la carte SLAMA.

7.1 Généralité

Comme le montre la Figure 7-2, La carte est découpée en fonctionnalités bien distinctes, devant interagir entre elles. Chaque bloc représente une fonction à effectuer, mais ne représente pas la réalité de l'implantation dans la carte. En effet il est possible d'implanter dans le même circuit numérique programmable plusieurs fonctions ayant ou non un lien entre elles.

La logique de déclenchement de l'acquisition doit être paramétrée par le logiciel gérant l'ensemble du dispositif. Il existe plusieurs modes de fonctionnement du laser (§4.3) qui peuvent déclencher la porte *CAN*. La carte réalise l'interface entre le logiciel et le système laser. Elle fournit un signal électrique pour déclencher l'acquisition des capteurs (photodiodes, photomultiplicateurs) par le *CAN*. Il est important de connaître l'amplitude des impulsions laser pour effectuer une calibration du calorimètre par ajustement de la haute tension des photomultiplicateurs.

Cependant avant de pouvoir observer ces signaux, il faut générer l'impulsion lumineuse. En tenant compte des contraintes du cahier des charges et de l'accélérateur, la carte *SLAMA* envoie le signal de commande de la synchronisation laser à la pompe. Elle gère également l'amplitude de cette l'impulsion lumineuse pour obtenir la dynamique désirée pour les photomultiplicateurs du calorimètre.

La commande de la pompe laser est effectuée par l'intermédiaire d'une interface analogique pour commander l'amplitude de l'impulsion lumineuse. Un signal numérique TTL¹⁷ active l'émission lumineuse en libérant le faisceau laser.

Le système de contrôle mesure le temps s'écoulant entre le signal de synchronisation laser et l'impulsion lumineuse émise sur les photomultiplicateurs. En effet une courbe de réponse du laser a été déterminée en laboratoire, mais elle ne permet pas de se prononcer sur l'évolution du système au cours du temps.

Cette carte électronique doit aussi effectuer la mise en forme des signaux provenant des photodiodes et des photomultiplicateurs situés dans la boîte laser. Ces signaux sont analogiques, et pour être exploités par la logique, ils doivent être transformés en signaux logiques.

La dernière fonction implantée sur la carte *SLAMA* est de permettre le fonctionnement en mode autonome de l'ensemble. Ce mode n'est présent que pour la mise au point et la maintenance.

¹⁷ TTL : Transistor Transistor Level.

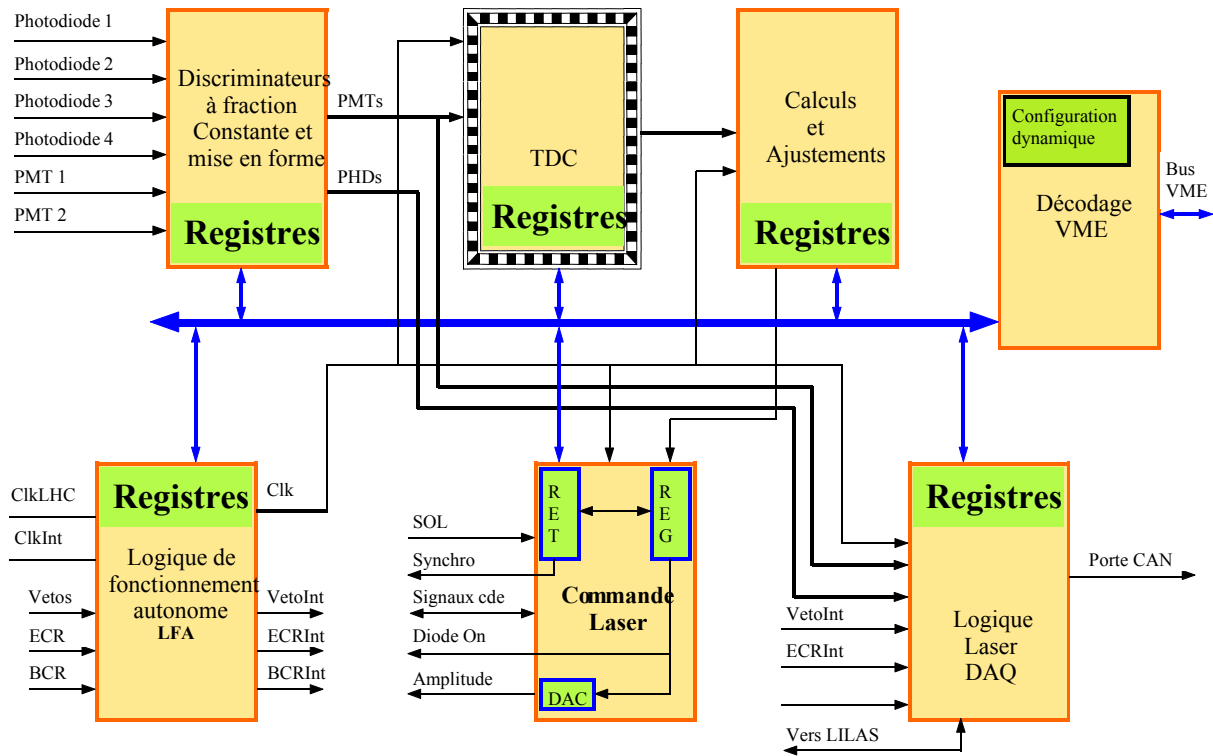


Figure 7-2 Synoptique de la carte SLAMA.

7.2 Discriminateur

Cette fonction a pour but de fournir en sortie un signal logique lié à l'instant où l'impulsion analogique d'entrée dépasse un seuil fixé [12]. Pour discriminer un signal, il existe différentes façons de réaliser ce module à partir d'un comparateur.

7.2.1 Discriminateur à seuil constant

Le principe d'un tel montage (Figure 7-3) consiste à régler un seuil de déclenchement d'un comparateur et à récupérer un signal en forme de créneau en sortie.

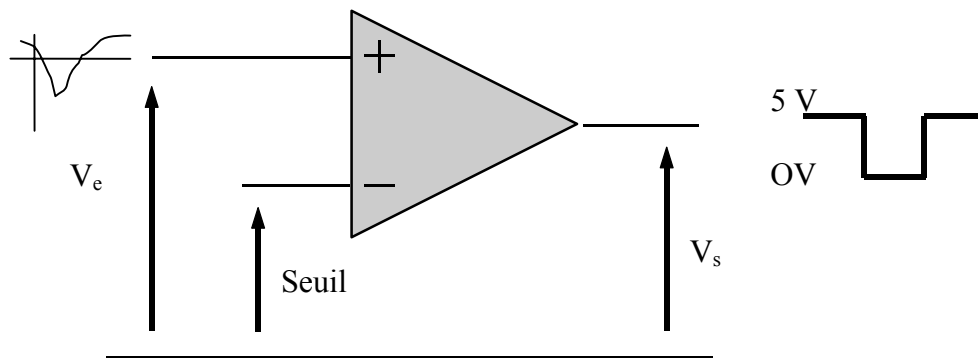


Figure 7-3 Principe du comparateur à seuil constant.

Le montage est basé sur un amplificateur opérationnel monté en comparateur. Le réglage du seuil peut s'effectuer à l'aide d'un potentiomètre pour appliquer une tension

fixe sur l'entrée négative. Les chronogrammes de la Figure 7-4 expliquent le fonctionnement d'un tel montage.

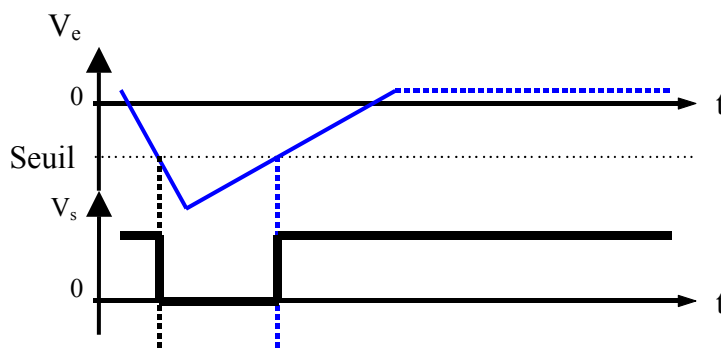


Figure 7-4 Chronogramme du comparateur à seuil.

Ce type de montage a un inconvénient majeur : le temps d'apparition du signal de sortie V_s dépend de l'amplitude des signaux d'entrée, comme le montre la Figure 7-5. Si V_e a le même temps de montée t_m , il existe deux basculements aux temps t_1 et t_2 pour les amplitudes respectives V_1 et V_2 .

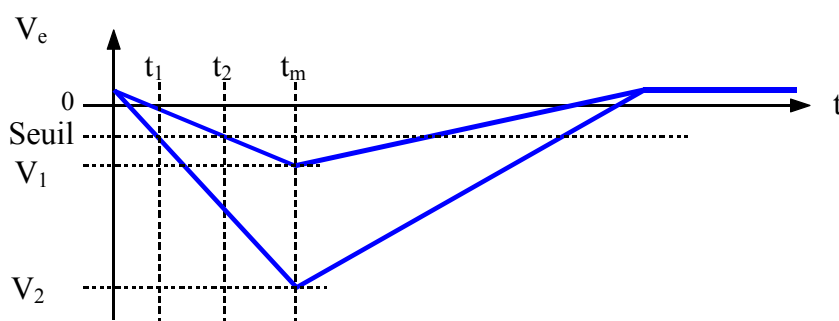


Figure 7-5 temps de montée des signaux.

Or le temps de montée des détecteurs photodiode et de leurs électroniques associées est de l'ordre de 50 ns. La différence d'amplitude allant d'une centaine de millivolts à deux volts environ, cet écart engendrerait une fluctuation du temps de réponse variant de l'ordre de plusieurs dizaines de nanosecondes.

7.2.2 Discriminateur à fraction constante

Ce type de discriminateur permet d'avoir un temps de réponse indépendant de l'amplitude du signal d'entrée gardant la même forme. Le principe consiste à retarder le signal d'entrée et à chercher le point d'intersection I avec le signal non retardé comme illustré dans la Figure 7-6. Le point I étant indépendant de l'amplitude, ce type de discriminateur est très efficace pour les signaux ayant des temps de montée importants (plusieurs dizaines de nanosecondes). L'inconvénient majeur de cette solution est le temps de réponse élevé, mais dans le cas des photodiodes, ce n'est pas un problème. Il est possible de retarder les signaux photodiodes pour les mettre en coïncidence avec la porte CAN.

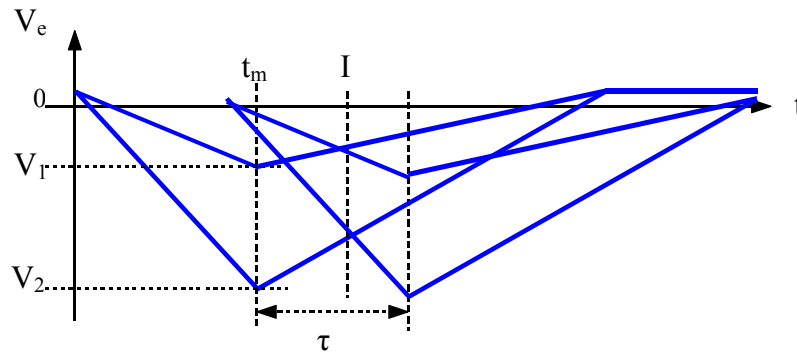


Figure 7-6 Principe du discriminateur à fraction constante.

Pour réaliser le retard du signal, deux solutions sont envisageables. La première consiste en un retard fait avec du câble ou une piste sur un circuit imprimé. Le câble coaxial présente un retard de l'ordre de 5 ns par mètre. Cette solution est envisageable pour des retards faibles (1 à 5 ns). La deuxième solution consiste à utiliser des circuits spécialisés tel que les lignes à retard pouvant atteindre plusieurs dizaines voire centaines de nanosecondes. Elle sont constituées d'un réseau de circuits inductances et capacités, et peuvent être réglables, fixes, ou ajustables par pas.

7.2.2.1 Théorie des discriminateurs à fraction constante

Le signal de sortie des photodiodes ou des photomultiplicateurs a une impédance caractéristique de 50Ω , l'entrée du discriminateur doit avoir la même impédance afin d'éviter les réflexions. La ligne à retard réalisée par câble ou composant spécialisé doit avoir la même impédance caractéristique. Elle est aussi adaptée 50Ω , donc $R_e = 50 \Omega$.

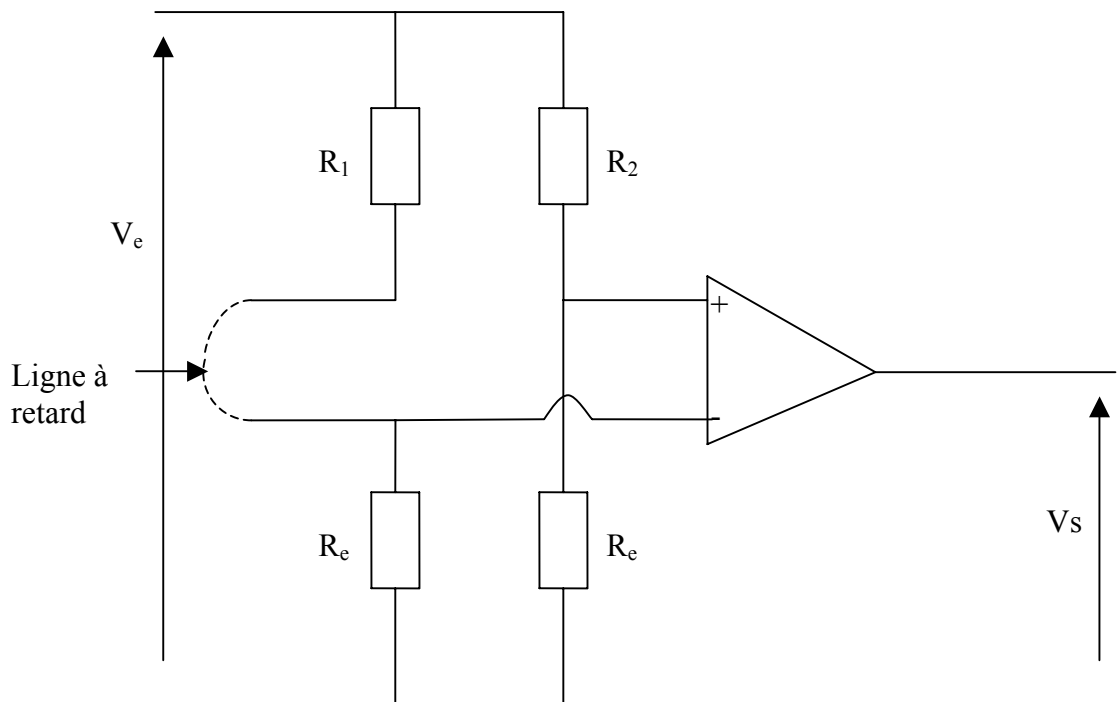


Figure 7-7 Schéma de principe d'un discriminateur à fraction constante.

Les équations régissant ce montage sont :

$$V_+ = \frac{R_e}{R_e + R_2} V_e \quad \text{Soit} \quad V_+ = K V_e \quad \text{avec} \quad K = \frac{R_e}{R_e + R_2}$$

$$\Rightarrow R_2 = \frac{1-K}{K} R_e$$

Si le coefficient $K \ll 1$ et $(R_2 \gg R_e = 50 \Omega)$, la relation précédente devient :

$$R_2 = \frac{R_e}{K}$$

L'impédance d'entrée du montage est donc :

$$Z_e = (R_2 + R_e) // (R_1 + R_e)$$

$$\text{soit} \quad Z_e = \frac{R_2 + R_e + R_1 + R_e}{(R_2 + R_e)(R_e + R_2)}$$

La sortie des préamplificateurs des photodiodes est adaptée 50 Ω . La ligne à retard est aussi adaptée avec la même valeur donc $R_e = 50 \Omega$, pour ne pas détériorer le signal d'entrée, l'impédance Z_e doit être égale à R_e , soit 50 Ω

$$R_e = R_e \left(1 + \frac{R_2}{R_e} \right) \frac{1}{1 + \frac{R_2 + R_e}{R_1 + R_e}} \quad \text{donc} \quad \frac{R_2}{R_e} = \frac{R_2 + R_2}{R_1 + R_e}$$

$$\text{d'où} \quad R_1 = \frac{R_e^2}{R_2} \quad \text{sachant que} \quad R_2 = \frac{R_e}{K}$$

$$\boxed{R_1 = R_e K}$$

Les calculs précédents donnent les relations des résistances entre elles, mais il faut évaluer le coefficient K . Il existe deux modes pour calculer cette valeur.

7.2.2.2 Fonctionnement en mode ARC¹⁸

Le principe de ce mode de fonctionnement est de fixer le passage à zéro avant que le signal ait atteint son maximum. Le signal retardé, de la valeur t_d , coupe le signal atténué de l'entrée plus du comparateur au temps t_{arc} avant que le signal V_e n'ait atteint son maximum au temps t_m .

¹⁸ ARC : Amplitude and Rise time Compensated.

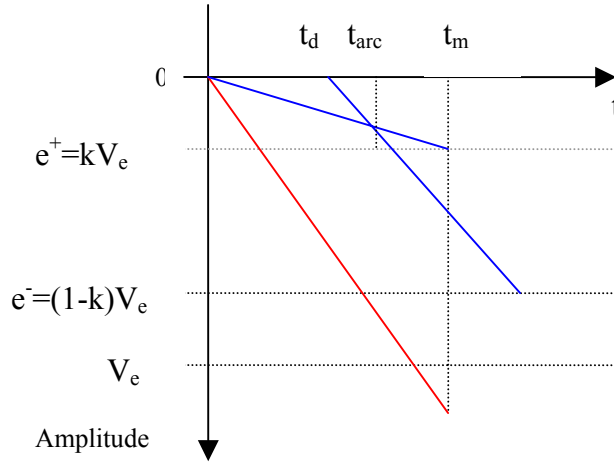


Figure 7-8 Principe du mode ARC.

Les équations des entrées différentielles en fonction du temps sont :

$$e^+ = \frac{R_e}{R_e + R_1} V_e \frac{t}{t_m} \quad \text{soit} \quad e^+ = K V_e \frac{t}{t_m}$$

$$e^- = \frac{R_e}{R_e + R_2} V_e \quad \text{soit} \quad e^- = (1 - K) V_e$$

$$e^- = 0 \quad \text{pour} \quad t \leq t_d$$

$$e^- = (1 - K) V_e \quad \text{pour} \quad t = t_d + t_m$$

$$e^- = (1 - K) V_e \frac{t}{t_m} - (1 - K) V_e \frac{t_d}{t_m}$$

$$\text{pour } t = t_{arc} \text{ nous avons } e^- = e^+$$

$$t_{arc} = \frac{(1 - K) t_d}{1 - 2K} \approx \frac{(1 - K)}{(1 - K)^2} t_d \quad \text{d'où} \quad t_{arc} \approx \frac{t_d}{1 - K}$$

Calcul de la fraction effective :

$$e^+ = K V_e \frac{t}{t_m}$$

$$\text{Si } t = t_{arc}, \text{ l'entrée devient } e^+ = K V_e \cdot \frac{t_d}{t_m \cdot (1 - K)} \quad \text{soit} \quad e^+ = F_{arc} V_e$$

$$\text{Donc } F_{arc} = \frac{K t_d}{t_m \cdot (1 - K)}$$

Le calcul de la dispersion en temps est donné en annexe 6, le résultat pour le mode ARC est :

$$\sigma_{arc} = \frac{\sigma_{vin} \sqrt{1 + K^2 t_m}}{V_{in} (1 - K)}$$

7.2.2.3 Fonctionnement en mode TCF¹⁹

Dans ce mode de fonctionnement, le passage à zéro se fait après que le signal atténué ait atteint son maximum. Le signal retardé coupe le signal de l'entrée + à l'instant t_{cf} , une fois que celle-ci a atteint son maximum.

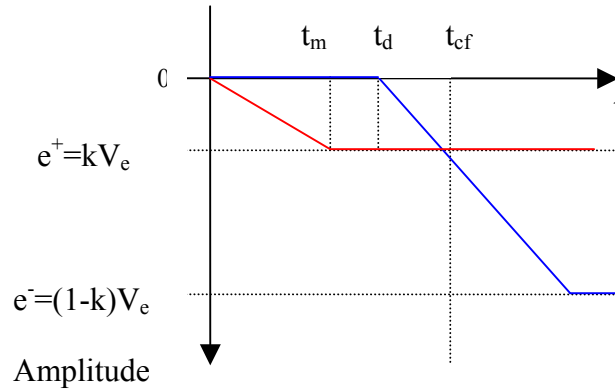


Figure 7-9 Principe du mode TCF.

Nous avons $e^- = (1 - K)V_e \cdot \frac{t}{t_m} - (1 - K)V_e \cdot \frac{t_d}{t_m}$

Pour $t = t_{cf}$ on a $e^- = e^+ = KV_e$

Donc $t_{cf} = \frac{K.t_m}{1 - K} + t_d$

Le calcul de la dispersion en temps est donné en annexe 6, le résultat pour le mode TCF est :

$$\sigma_{tcf} = \frac{\sigma_{vin} \sqrt{1 + K^2 t_m}}{V_{in}}$$

7.2.2.4 Choix du mode de fonctionnement

Les calculs précédents sur la dispersion prouvent qu'elle dépend simplement de la fraction constante. Plus la fraction constante est élevée, plus la dispersion pour le mode ARC est grande.

¹⁹ TCF : True Constant Fraction.

Pour une fraction constante de 30 %, le rapport entre les deux dispersions est :

$$\frac{\sigma_{tcf}}{\sigma_{arc}} = 0.7$$

Le discriminateur est réalisé avec le principe minimisant cette variation, soit le mode *TCF*. Ce choix se fait au détriment du temps de réponse de l'étage de discrimination.

7.3 Convertisseur numérique de temps (TDC)

Cette fonction réalise la mesure du temps entre l'horloge *LHC* et les signaux provenant des photomultiplicateurs. Cette mesure permet de connaître le comportement du temps de réponse du laser.

Cette partie est articulée autour d'un circuit développé par une collaboration entre la division microélectronique du *CERN* et un laboratoire japonais, pour la partie détecteur des chambres à muon de l'expérience *ATLAS*. Ce composant, appelé *AMT-1*, est associé à un circuit logique programmable *FPGA* qui permettra de faire l'interface avec le reste de la carte et le bus *VME*.

La connaissance de ce temps est importante dans le cadre de la reconstruction de l'impulsion des photomultiplicateurs sur les modules du *TILECAL*. En effet la numérisation des signaux est synchrone avec l'horloge fournie par le *LHC*. Le *TDC* permet de connaître le décalage qui existe entre la lumière laser touchant un photomultiplicateur et l'horloge *LHC*. Cette valeur est stockée pour chaque événement laser et la reconstruction de la trace est faite hors ligne par les calculateurs.

La Figure 7-10 montre la numérisation du signal photomultiplicateur (en rouge) du calorimètre, cet échantillonnage est synchrone avec le croisement des particules (25 ns). La lumière laser (en vert) est dépendante d'un certain nombre d'autres facteurs (longueur de la fibre, emplacement dans le calorimètre...), il est donc important de connaître le temps entre l'horloge *LHC* et l'impulsion lumineuse. En effet, pour connaître l'énergie déposée, il faut superposer la courbe verte sur la courbe rouge

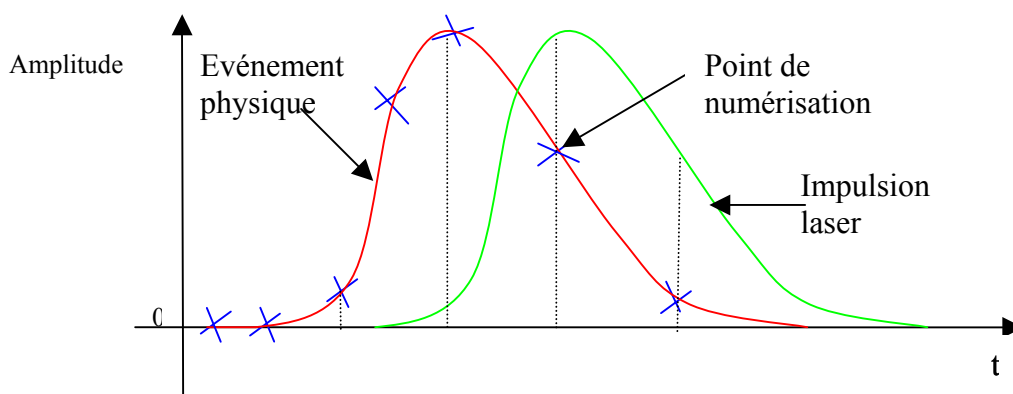


Figure 7-10 Reconstitution du signal photomultiplicateur.

7.3.1 Principe du TDC

Pour mesurer le temps s'écoulant entre deux signaux, le dispositif doit avoir un signal de départ nommé *START* et un signal d'arrêt nommé *STOP*. A l'aide d'un compteur, le

nombre d'impulsions d'horloge passant entre le signal START et le signal STOP est mémorisé. La précision de cette mesure dépend beaucoup de la fréquence d'horloge utilisée. Pour avoir une résolution temporelle acceptable inférieure à une 1ns, il faut une horloge supérieur à 1 GHz, ce qui est impossible avec des circuits classiques. Pour atteindre ces fréquences, il faut développer un ASIC, où les temps de propagation sont connus par construction.

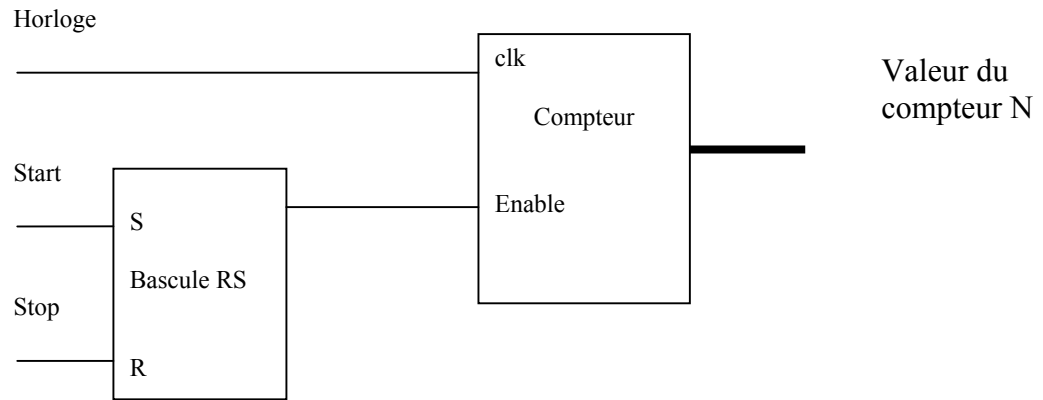


Figure 7-11 Schéma de principe d'un TDC.

$$\Delta T = N * T_{\text{Horloge}}$$

Un soin particulier doit être apporté à l'horloge du TDC car son rôle est primordial pour une bonne stabilité et une résolution correcte. L'annexe 7 montre le principe d'une telle horloge. Elle est réalisée en retardant le signal à travers des portes dont le temps de transit est parfaitement connu, le tout étant asservi sur une boucle à verrouillage de phase (PLL).

7.3.2 Rôle et caractéristiques du TDC

Les signaux provenant des photomultiplicateurs mis en forme par l'étage de discrimination, sont entrés dans le circuit AMT-1. Celui-ci effectue la mesure temporelle par rapport à l'horloge LHC et stocke cette valeur dans une mémoire FIFO (Fisrt in first out). Celle-ci est mise à disposition de l'unité de calculs et d'ajustements (UCA), afin de recorriger le cas échéant la valeur du retard à appliquer.

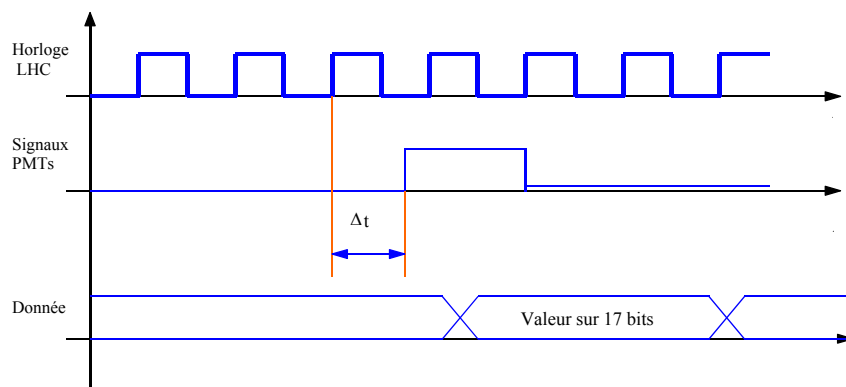


Figure 7-12 Rôle de la mesure TDC.

Dans cette mesure le retard engendré par l'électronique de discrimination et de mise en forme doit être pris en compte au niveau de la fonction calculs et ajustements. En effet outre la précision du *TDC* [13] (voir Tableau 7-1), l'électronique de discrimination et de mise en forme ajoute un retard de l'ordre de 10 ns pour les signaux photomultiplicateurs. Tous ces résultats sont détaillés dans le chapitre suivant.

Nombre de voies d'entrée	24
Alimentation	(3,3 ± 0.3) V
Signaux d'entrée	LVDS avec 100 Ω interne
Précision de la mesure du temps	300 ps
Etendue dynamique	17 bits

Tableau 7-1 principales caractéristiques du TDC AMT-1

7.3.3 L'électronique de gestion du AMT-1 (EGA)

Cette fonction est réalisée par un circuit programmable *FPGA* de chez ALTERA dont la référence est EP1K30. Il doit gérer l'interface entre le AMT-1, l'unité de calculs et d'ajustements, et le bus VME. Il permet également de gérer un historique de ces valeurs, grâce à sa mémoire intégrée dans le circuit programmable qui est à disposition du logiciel implanté dans le VME. La partie interface avec le TDC est codée en VHDL selon la machine d'état décrite sur la Figure 7-13.

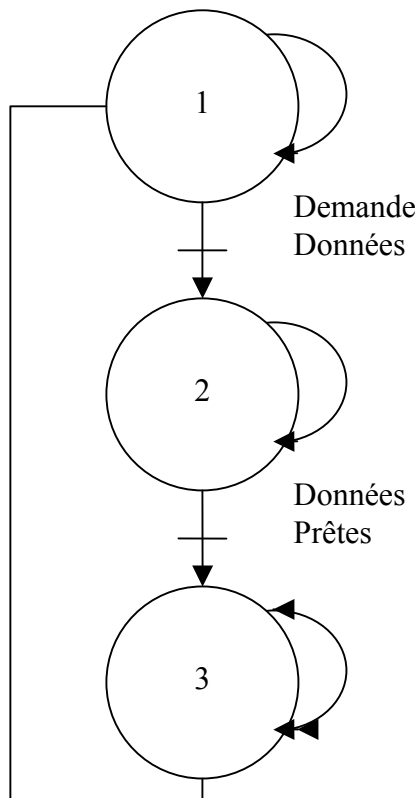


Figure 7-13 Machine d'état interface EGA.

7.3.4 Interface avec le TDC AMT-1

L'interface consiste à récupérer dans la mémoire *FIFO* du *AMT-1*, les valeurs des canaux correspondant aux voies des photomultiplicateurs. L'*AMT-1* possède deux modes de lecture : le mode série synchrone et le mode parallèle 32 bits. Ce dernier mode est retenu pour faire le transfert entre l'*AMT-1* et son circuit d'interface, étant donné la faible longueur de transmission entre les deux circuits intégrés et le grand nombre d'entrées-sorties présentes dans le circuit numérique programmable. Cette interface se résume à un simple handshake²⁰ entre ces deux circuits puisque, outre les 32 bits de données, l'*AMT-1* dispose de deux signaux *DREADY* (données prêtes) et *GETDATA* (envoi données).

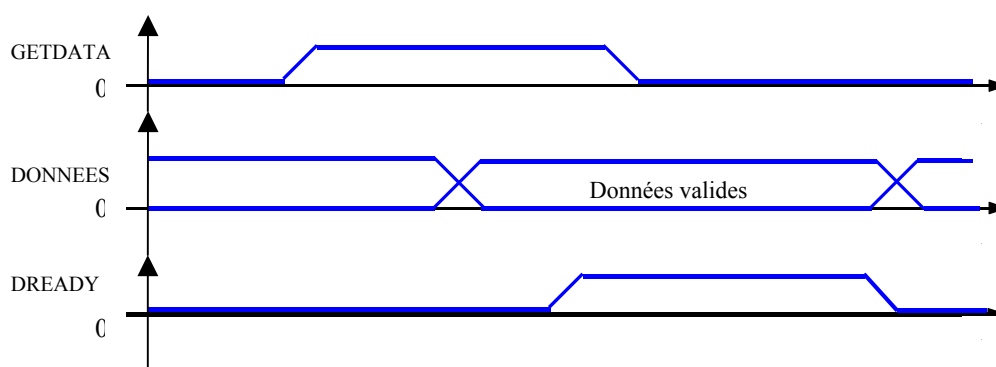


Figure 7-14 Chronogramme du TDC AMT-1.

7.3.5 Interface avec l'UCA

Cette interface transmet seulement deux valeurs à l'*UCA* permettant d'effectuer le calcul de la nouvelle valeur associée à cette amplitude. Le système laser comporte deux photomultiplicateurs pour le déclenchement de l'acquisition. Sa valeur calculée par le *TDC* est transmise à l'*UCA* ainsi que l'identifiant du croisement de paquets. Ces deux données représentent deux mots de 16 bits et sont transmises après avoir été récupérées et traitées par l'Electronique de Gestion Autonome (EGA).

7.3.6 Mémoire de l'historique

Cette mémoire est adressée par deux processus complètement indépendants (*UCA* et *VME*). Cette fonction est réalisée par une mémoire double accès dont une description *VHDL* est donnée dans le Tableau 7-2. Cela permet d'accéder de façon complètement asynchrone à la mémoire sans être obligé de gérer des priorités.

²⁰ Handshake : protocole d'échange sur un bus avec un signal de demande et un signal d'acquiescement.

```

entity memoire is
  generic( dwidth : integer := 8; addr_width : integer := 5; mem_depth : integer := 32);
  port (o      : out STD_LOGIC_VECTOR(dwidth-1 downto 0);
        we, clk : in STD_LOGIC;
        d      : in STD_LOGIC_VECTOR(d_width - 1 downto 0);
        raddr, waddr : in STD_LOGIC_VECTOR(addr_width - 1 downto 0));
end memoire;

architecture behavior of memoire is
  type tmem is array (mem_depth - 1 downto 0) of std_logic_vector (dwidth - 1 downto 0);
  signal mem : tmem;

begin

  process(clk, we, waddr)
  begin
    if (rising_edge(clk)) then
      if (we = '1') then
        mem(conv_integer(waddr)) <= d;
      end if;
    end if;
  end process;

  process(raddr)
  begin
    o <= mem(conv_integer(raddr));
  end process;
end behavior

```

Tableau 7-2 Description VHDL d'une mémoire double accès

7.4 L'unité de calculs et ajustements

Cette fonction doit réaliser le calcul et l'ajustement du retard à effectuer pour déclencher le laser. Ce dernier a un temps de réponse variable en fonction de l'amplitude lumineuse demandée. Cette fonction a aussi pour but de surveiller le vieillissement, en mesurant le temps de réponse du laser.

7.4.1 L'unité de calculs

Sa principale tâche est de calculer la différence entre le *BCID* référence et le *BCID* touché. La table retard en fonction de l'amplitude est mise à jour avec cette nouvelle valeur. Un drapeau dans un registre de contrôle permet au logiciel de savoir si la table de retard a été modifiée, afin de remettre à jour son fichier de table de retard et de faire l'historique de ces valeurs.

Le *BCID* référence (BCIDREF) est entré à l'aide de l'interface utilisateur et stocké dans un registre de la carte de commande laser. La valeur du touché provient d'un compteur qui est mémorisé quand les signaux photomultiplicateurs (PM1 et PM2) détectent la lumière laser.

Cette valeur est ensuite soustraite en calcul signé pour donner le nouveau retard à appliquer à cette amplitude.

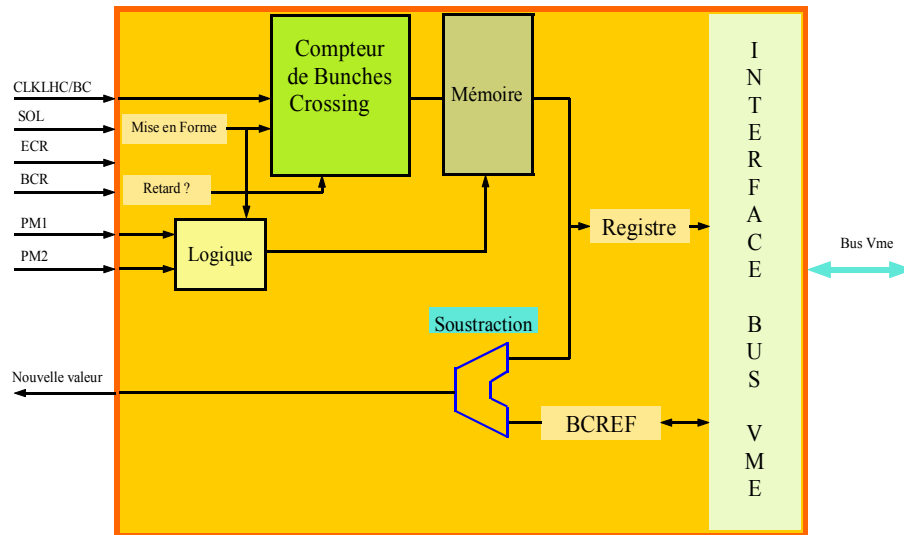


Figure 7-15 Synoptique de l'unité de calcul.

7.4.2 L'unité d'ajustements

Cette unité s'insère après l'unité de calculs. Elle a pour fonction de ranger la nouvelle valeur dans la table. Le synoptique de la Figure 7-16 montre deux tables : une pour le retard de l'impulsion laser et l'autre pour l'amplitude correspondant à l'impulsion lumineuse.

La Figure 3-9 montre le temps de réponse du laser qui est de l'ordre de 1300 ns, le SOL (Start Of Laser) est délivré par l'acquisition générale. Il est fourni 4 μ s avant le BCIDREF. Le retard doit être variable de 0 à 4 μ s au pas de 25 ns. Le retard peut être codé sur un registre de 8 bits.

Le convertisseur numérique-analogique transmet la valeur de l'amplitude de l'impulsion lumineuse à la pompe laser.

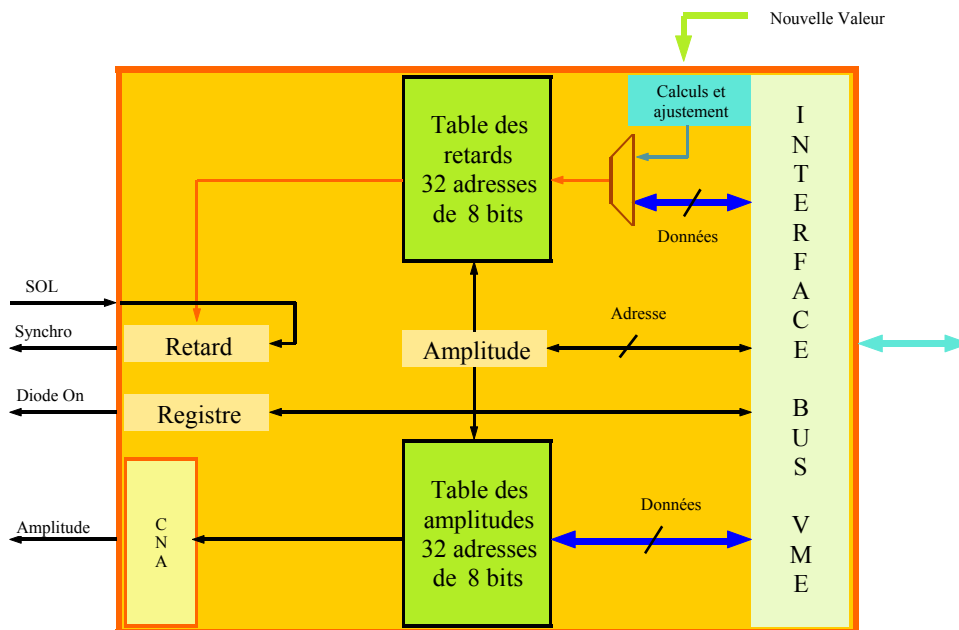


Figure 7-16 synoptique de l'unité d'ajustements.

7.5 L'unité de déclenchement

Cette fonction permet de déclencher l'acquisition du *CAN* en fonction du mode de fonctionnement du système laser (source alpha, piédestaux, laser, linéarité). Elle reçoit tous les signaux remis en forme provenant des photomultiplicateurs (PM1, PM2), des photodiodes (PHD1, PHD2, PHD3, PHD4) et de l'accélérateur (BC, ECR, BCR). Elle fournit le signal de porte du *CAN* en fonction d'une combinaison logique propre à chaque mode :

- En mode source *alpha*, le signal de la porte *CAN* est déclenché par une des trois photodiodes.
Porte *CAN* = (PHD1 ou PHD2 ou PHD3 ou PHD4)
- En mode *laser*, le signal de la porte *CAN* est déclenché par la coïncidence des photomultiplicateurs.
Porte *CAN* = (PM1 et PM2)
- En mode *piédestaux*, la porte *CAN* est générée par un registre *VME* avec remise en forme
- En mode *linéarité*, la porte *CAN* est déclenchée par un signal fourni par la carte LILAS.

Les signaux *alpha* et *laser* proviennent d'un registre configurable par l'interface *VME*.

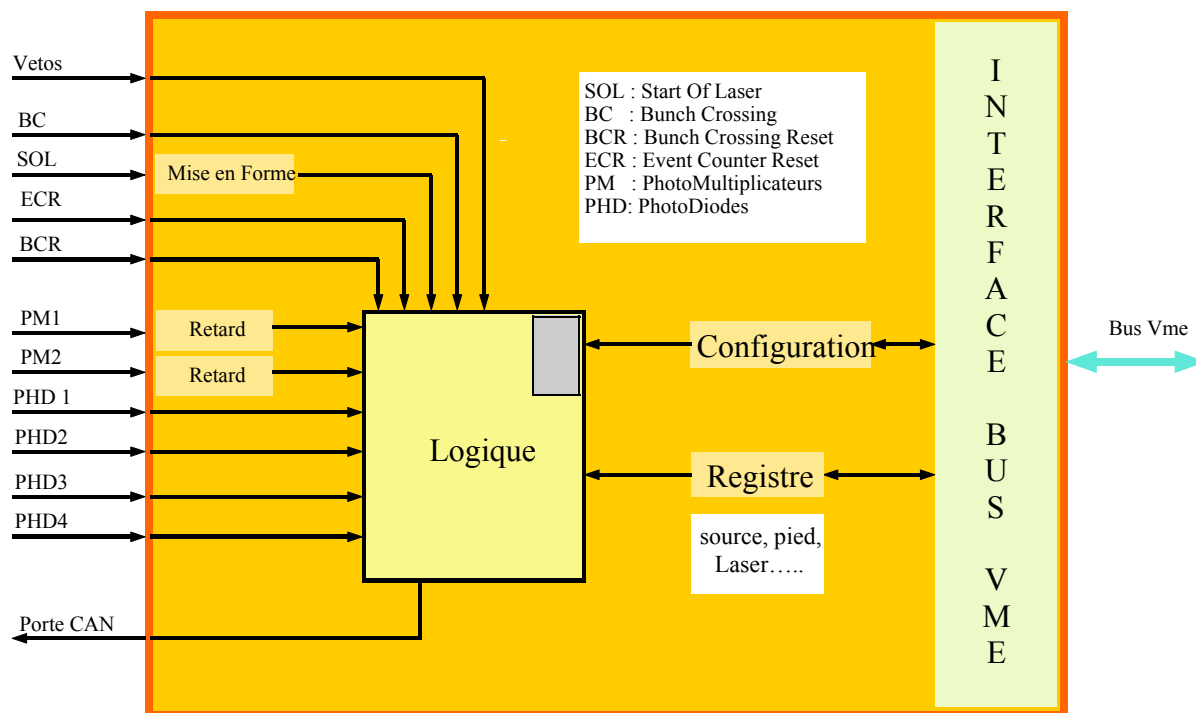


Figure 7-17 Synoptique de l'unité de déclenchement.

7.6 Logique de fonctionnement autonome (LFA)

Cette fonction est destinée à la mise au point et à la maintenance du système. En effet avant d'être installé sur le site, le système laser doit être testé en laboratoire. Dans ce contexte, il faut développer une carte électronique générant tous les signaux de

l'accélérateur. Dans le but de réduire les coûts et de simplifier le câblage, tous les signaux externes (BCR, ECR, CLK...) sont générés par le *LFA*. Un oscillateur à la fréquence double du *LHC* (80 MHz) est implanté sur la carte *SLAMA*. Tous les autres signaux *BCR* et *ECR* sont une division de cette horloge et ils sont distribués vers toutes les unités qui en ont besoin.

Deux solutions sont envisageables pour sélectionner les signaux internes ou externes. La première consiste à utiliser des multiplexeurs internes dans les circuits programmables et un registre configurable par le *VME* (Figure 7-18). La deuxième solution consiste à reconfigurer les *FPGA* avec une logique différente. La deuxième solution est retenue parce que, dans ces circuits, il y a une ligne d'horloge dédiée pour obtenir un temps de propagation quasiment identique pour toutes les cellules. Ce résultat ne serait pas obtenu si l'horloge passait par un multiplexeur.

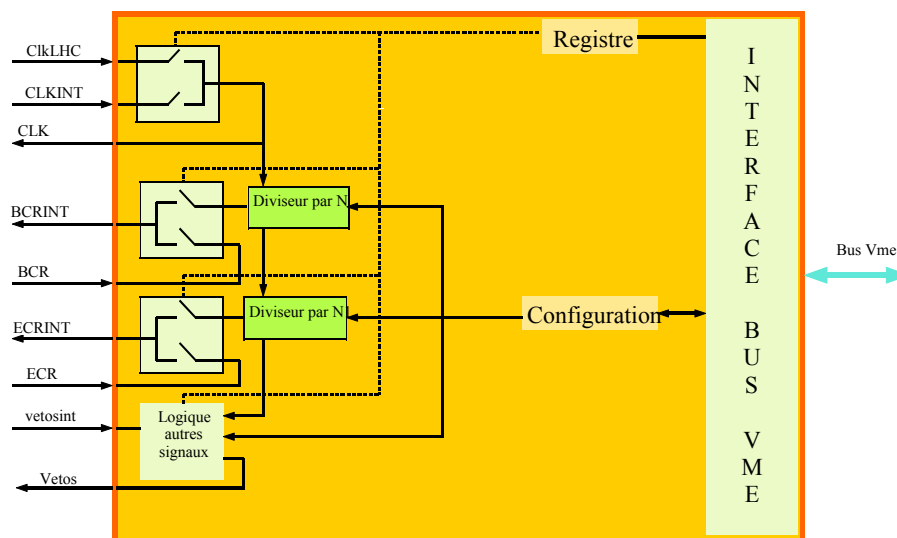


Figure 7-18 Synoptique de la logique autonome.

7.7 Interface VME

A la demande du logiciel gérant le système laser, il est possible d'accéder à toutes les fonctionnalités de la carte. Il faut pouvoir configurer ou récupérer l'historique des derniers calculs du TDC AMT-1, recharger la table d'amplitude et de retard.

Cette liaison s'effectue à l'aide du bus de données parallèles du VME ; il existe plusieurs moyens pour transférer les données via ce bus (Tableau 7-3). Des signaux appelés « address modifier » codés sur 6 bits permettent de connaître dans quel mode d'adressage se trouve le VME.

Address modifier en hexa	Nombre de bits d'adresse	Type de transfert
3B	24	Transfert par bloc
39	24	Accès standard
29	16	Accès court
0B	32	Transfert par bloc
09	32	Accès long

Tableau 7-3 Transfert en fonction de « l'adress modifier ».

Le mode plus utilisé consiste à transmettre les données par mots de 16 bits et d'incrémenter l'adresse de lecture. L'autre solution utilisée, pour des transferts plus rapides, est appelée « transfert par bloc » et permet de lire un bloc de mémoire contiguë sans faire le cycle complet du bus (annexe 5).

Ce bus est asynchrone, même s'il est possible de le synchroniser sur son horloge *SYSCLK*. Le principe consiste à définir une adresse de base sur la carte esclave et de la comparer avec l'adresse présente sur le bus. Il faut également tester « l'address modifier » pour répondre avec le bon mode. Une fois ce décodage terminé et les données présentes sur le bus, le signal *DTACK* est positionné par l'unité centrale si le cycle est en écriture (Figure 7-20) et positionné par la carte électronique si c'est une lecture (Figure 7-19).

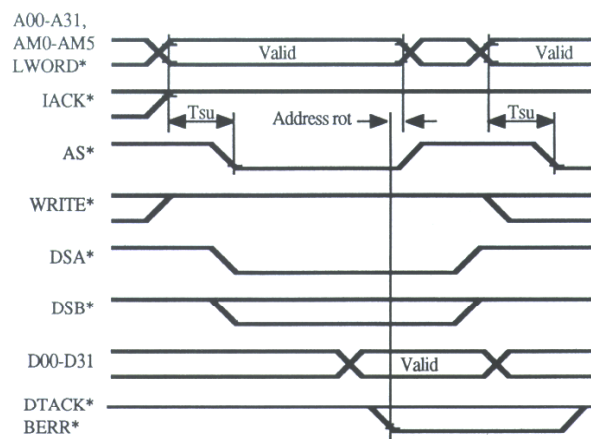


Figure 7-19 Cycle de lecture du bus VME.

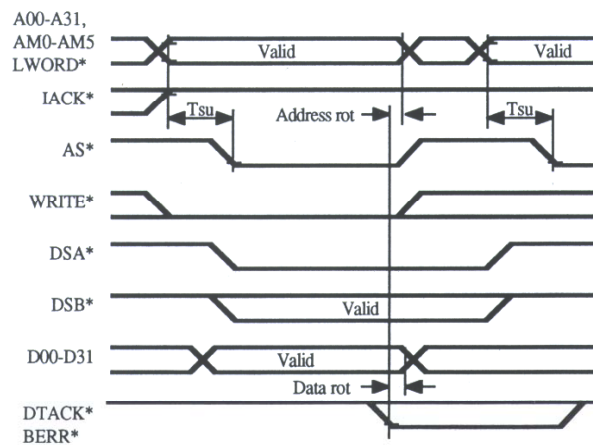


Figure 7-20 Cycle d'écriture du bus VME.

Cette interface réalise la liaison entre les fonctions de la carte SLAMA, la carte unité centrale qui supporte le logiciel de contrôle et d'acquisition, via le bus fond de panier. Elle réalise le décodage de la carte à une adresse définie par des interrupteurs. Elle gère aussi le décodage des autres circuits afin que le logiciel accède à la configuration ou aux données de contrôle et d'acquisition.

Cette fonction est réalisée par une machine d'état (Figure 7-21) décrivant les signaux et le mécanisme d'échange du bus.

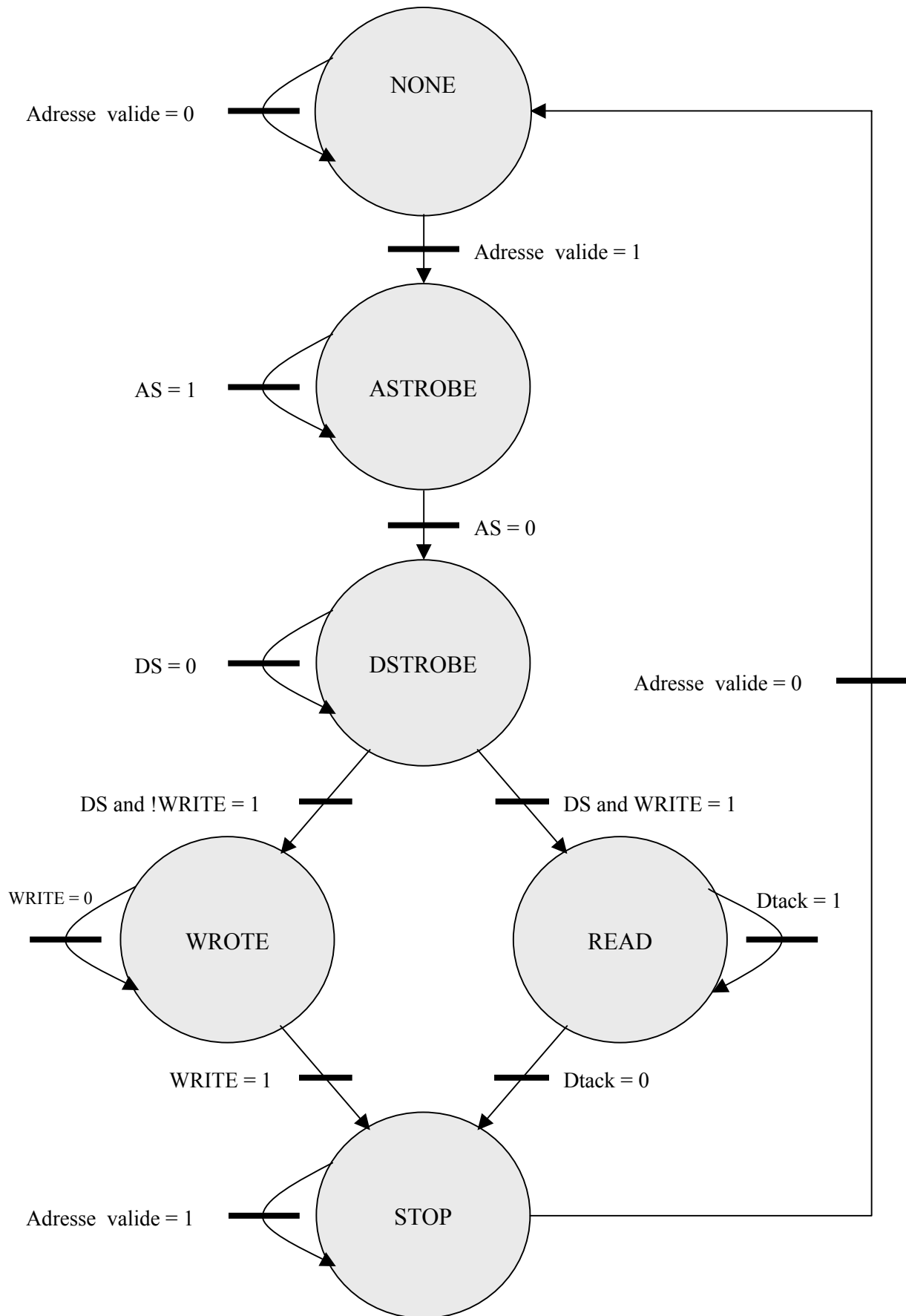


Figure 7-21 machine d'état de l'interface VME.

7.8 Configuration FPGA

Le paragraphe 5.3 montre les différents modes de configuration. Deux modes de programmation sont utilisés dans la carte *SLAMA*. Le premier sert à la mise au point et utilise l'interface *JTAG*, à l'aide du programmeur de chez *ALTERA*. Il consiste simplement à charger la *RAM* du *FPGA*. L'inconvénient de ce mode est la perte de toute configuration une fois l'alimentation des circuits coupée. Il faut recharger les circuits programmables à chaque mise sous tension.

Le deuxième mode est la configuration par mémoire *EEPROM* appelée aussi configuration série passive. La configuration des circuits est programmée dans l'*EEPROM* à l'aide de l'interface *JTAG*. A la mise sous tension de la carte, le contenu de cette mémoire est transféré dans le *FPGA*. Cette mémoire peut être modifiée via l'interface *VME* afin de changer la fonctionnalité de la carte électronique. Dans ce cas, la configuration ne passe pas par le *JTAG*, mais directement en accédant aux pages de la mémoire *EEPROM*.

Dans le schéma présenté dans l'annexe 1, la mémoire *EEPROM* de référence *EPC8* (M4) est accédée par le *VME* via le circuit *FPGA* (M1). Ce dernier possède sa propre mémoire de configuration afin d'être toujours programmé. La reconfiguration des circuits *LFA* et *UCA* est contrôlée par leur alimentation électrique. Car à la mise sous tension, le processus de configuration redémarre. Pour effectuer cette opération, il faut utiliser un régulateur de tension possédant un signal de commande permettant de couper l'alimentation. Ce signal provient d'un registre de l'interface *VME* modifiable par le logiciel.

8 Test de la carte SLAMA

Etant donné que l'expérience ATLAS ne débutera pas avant 2006-2007, l'ensemble du système laser sera testé afin d'évaluer ses performances et d'améliorer certains systèmes le composant. La carte ayant une densité de composant assez important, ces tests s'effectuent méthodiquement. Ils sont réalisés en plusieurs étapes :

- Tests individuels de chaque fonctionnalité :
 - Test de la configuration des *FPGA*,
 - Test des fonctions implantées,
- Tests de la carte en mode autonome :
 - Dialogue entre *FPGA*,
 - Dialogue entre le VME,
- Tests de carte avec le système complet,
- Tests du système au CERN.

Bien que chaque fonction ait été simulée, la simulation globale de la carte électronique n'a pu être réalisée. Il existe toujours un risque d'erreur sur le schéma ou sur le câblage de la carte (mauvaise soudure)

8.1 Discriminateur

8.1.1 Le principe du test

Les entrées de discrimination sont très importantes pour les bonnes performances de la carte SLAMA. Le cahier des charges donne des contraintes très strictes sur la stabilité de la réponse de cet étage.

Pour évaluer cette caractéristique, un générateur fournit une impulsion variable en amplitude qui est transmise en entrée du discriminateur. La sortie trigger du générateur est utilisée pour synchroniser l'oscilloscope. La sortie du discriminateur est aussi envoyée sur l'oscilloscope qui permet d'effectuer un histogramme en ligne.

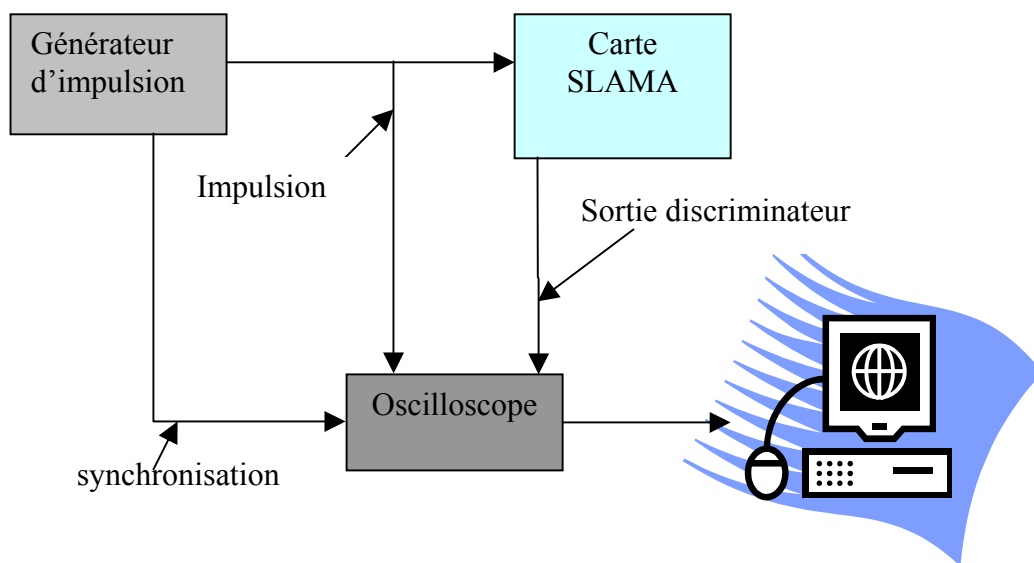


Figure 8-1 Synoptique du test des discriminateurs.

8.1.2 Résultats des tests

Les résultats obtenus par l'entrée de discrimination sont visualisés sur la Figure 8-2. L'histogramme (en bleu) calculé en ligne par l'oscilloscope mesure l'incertitude du temps de déclenchement du comparateur (temps de gigue). Sa fenêtre de calcul est représentée par le rectangle bleu. Le front montant du signal de sortie du comparateur est visualisé en rouge. L'impulsion d'entrée est en vert et elle a comme caractéristique un temps de montée de 50 ns et une amplitude variant de 0,3V à 2,5V comme préconisé dans le cahier des charges.

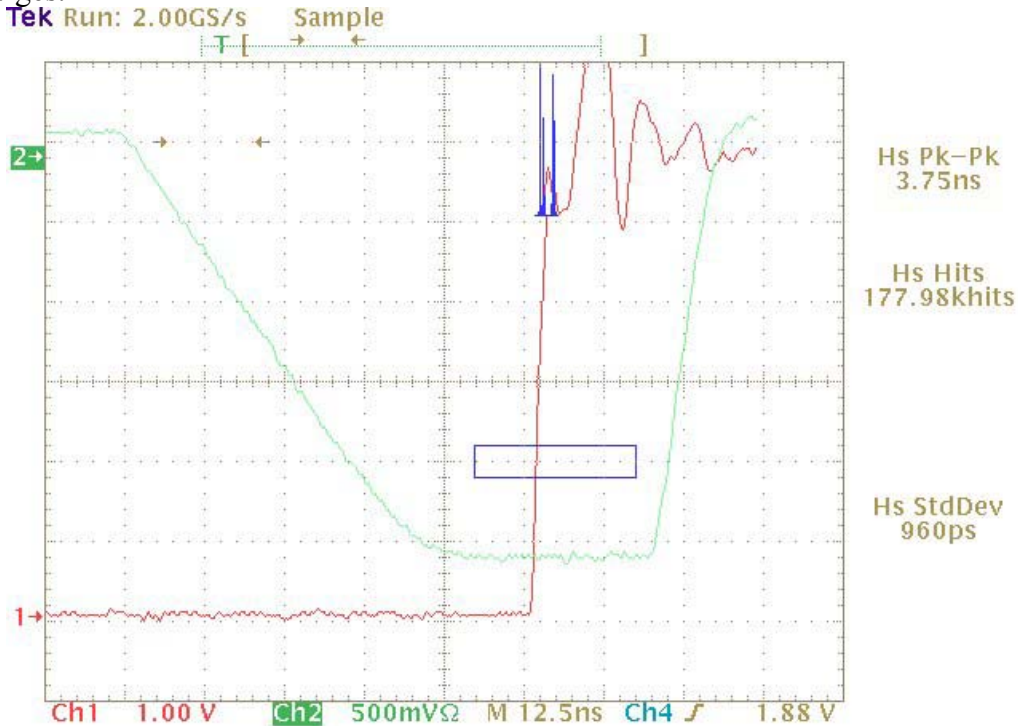


Figure 8-2 Oscillogramme de la sortie du discriminateur à fraction constante.

8.1.3 Interprétation des résultats

Les simulations effectuées avec les outils de conception assisté par ordinateur donnaient un temps de gigue de 1,4 ns. Les résultats obtenus par le carte *SLAMA* sont de 3,75 ns.

La dispersion sur le résultat a plusieurs origine :

- Le modèle de simulation utilisé est différent du comparateur employé. En effet, le modèle du composant (TL3016) n'est pas disponible auprès du fabricant, un modèle très proche a été utilisé.
- La simulation est simplement fonctionnelle et ne tient pas compte des perturbations extérieures (bruit électronique, implantation sur le circuit imprimé...).
- La fluctuation du temps de déclenchement de l'oscilloscope et l'imprécision du signal de synchronisation du générateur entraînent une incertitude sur la mesure.
- La ligne est retard était idéale dans la simulation, ce qui n'est pas le cas dans la réalité.

8.2 Programmation des FPGA

La configuration des *FPGA* pour la carte *SLAMA* se passe en deux étapes. La première consiste à configurer le circuit gérant l'interface *VME* via la mémoire *EPC2* (M11). Ce circuit est indépendant des deux autres puisqu'il sert à la reconfiguration de l'*EEPROM* *EPC8* (M4) qui, elle-même, configure les circuits *LFATDC* et commande laser (annexe 1).

Avec le logiciel de placement routage (Maxplus2) fourni par la société ALTERA, la sonde de programmation appelée *MASTER BLASTER*, permet de configurer les *FPGA* ou de programmer la mémoire. Cette sonde se branche sur un ordinateur et se connecte sur J3 sur la carte *SLAMA*.

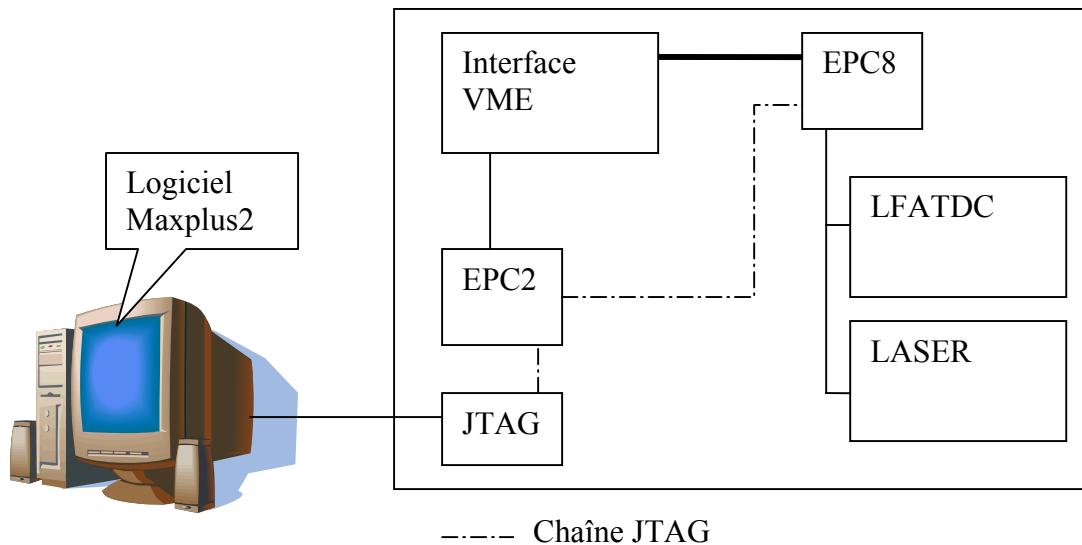


Figure 8-3 Synoptique de configuration des FPGA.

Le logiciel maxplus2 permet de connaître si la configuration des *FPGA* s'est passée correctement. Ensuite il suffit de tester la fonction implantée, comme allumer les DEL²¹ de la face avant (Figure 8-4). Dans ce modèle *VHDL*, il y a trois lignes inhabituelles commençant par *attribute*; elles permettent de définir à quelles broches les sorties *DEL* sont affectées. Il faut noter que cette syntaxe n'est valable que pour la famille *ALTERA*, ce qui rend le modèle intransportable sur une autre famille. Elle existe pour les autres familles mais les mots clés sont différents.

²¹ DEL : Diode Electroluminescente.

```

Library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
library synplify;
use synplify.attributes.all;

entity ctrlled is
  port (clk : in std_ulogic;
        led : out std_logic_vector(2 downto 0));
  attribute altera_chip_pin_lc : string;
  attribute altera_chip_pin_lc of led : signal is "@8, @9, @10";
  attribute altera_chip_pin_lc of clk : signal is "@79";

end ctrlled;

architecture behavior of ctrlled is

  signal q : std_logic_vector(17 downto 0);

  Begin
  process (clk)
  Begin
    if (clk'event and clk = '1') then
      q <= q + '1';
    end if;
  end process;
  led(0) <= '1' when q(15) = '0'
    else '0';
  led(1) <= '1' when q(16) = '0'
    else '0';
  led(2) <= '1' when q(17) = '0'
    else '0';
  end behavior;

```

Figure 8-4 Modèle VHDL permettant d'allumer D9, D11, D12 via l'interface VME.

8.3 Test de l'Interface VME

Une fois la configuration des circuits numériques programmables validée, il est possible d'implémenter la fonction à réaliser. Avant de tester le reste de la fonctionnalité de la carte, l'interface *VME* doit être opérationnelle puisque c'est elle qui fait la liaison entre le bus *VME* et le hardware de la carte *SLAMA*.

Le programme jouant le rôle de contrôle et d'acquisition est écrit à l'aide du logiciel graphique *LABVIEW* (National Instruments). La chaîne d'acquisition se décompose d'un ordinateur PC et d'un châssis *VME*. La liaison entre les deux s'effectue grâce à un jeu de cartes MXI2 (National Instruments).

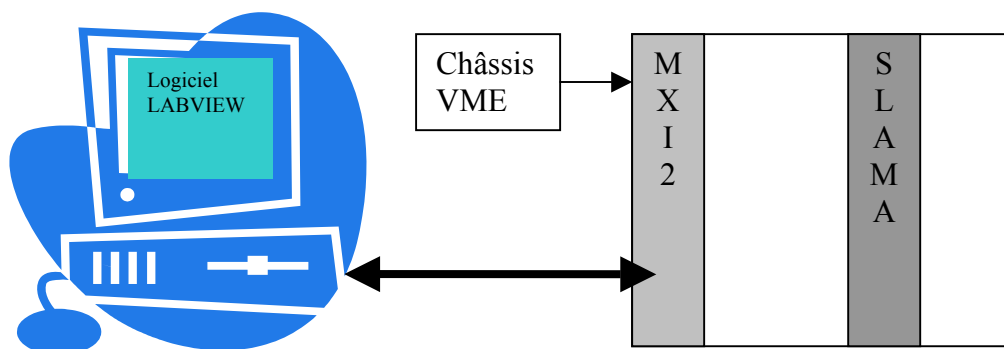


Figure 8-5 Synoptique de l'interface de contrôle et d'acquisition.

Le principe du test consiste à écrire une valeur dans un registre et à la relire, puis à comparer le résultat. Les chronogramme d'un cycle d'écriture sont montrés sur la Figure 8-6.

Ils ont été capturés par un analyseur VBT-325 de bus *VME* de la société *VMETRO*. Le séquençement des signaux est identique à la norme.

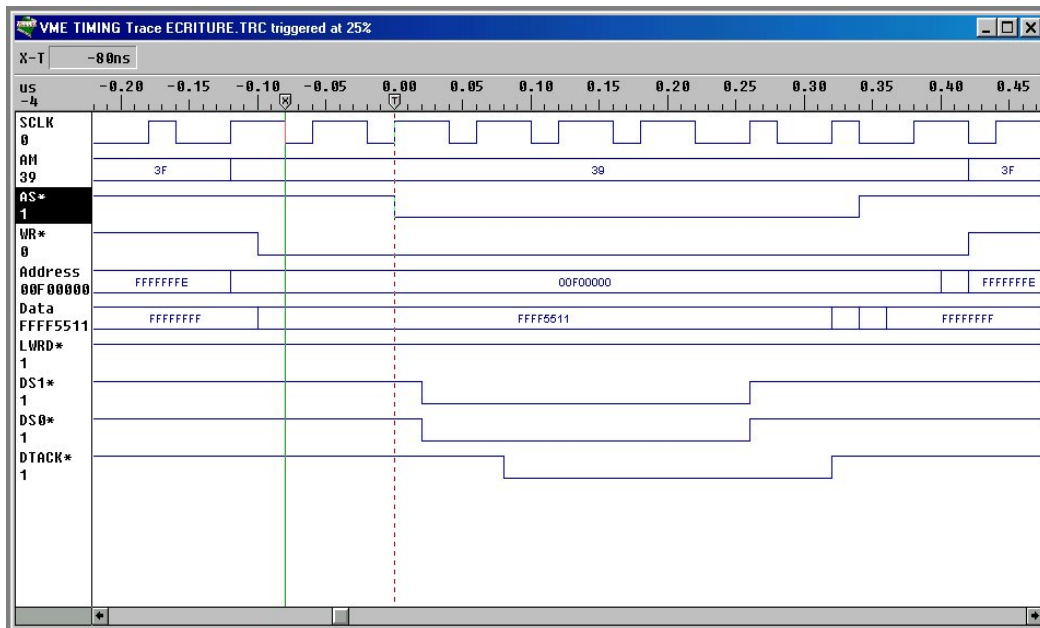


Figure 8-6 Chronogramme du bus VME en ecriture.

8.4 Entrées-sorties

Pour le test de performance de ces entrées sorties, les *FPGA* qui les pilotent ont une configuration spéciale où les entrées sont lues par un registre *VME* et les sorties sont directement pilotées par un autre registre.

Le modèle *VHDL* pour les tests est le même quels que soient la norme utilisée et le circuit *LFA* ou *Laser*. En effet, seule l'affectation des broches de ces circuits est nécessaire. Cette opération peut se faire au niveau du placement routage ou de la description *VHDL* à l'aide des directives *attribute*.

8.4.1 Entrées-sorties LVDS

Le signal *LVDS* est un signal différentiel ayant comme amplitude 350 mV centré sur 1,25 V comme le montre Figure 8-7.

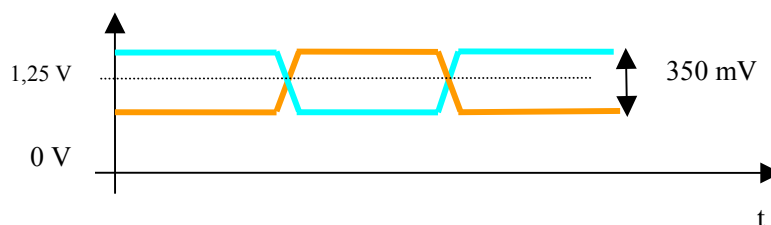


Figure 8-7 Signaux LVDS.

Désignation	Numéro sur LFATDC	Numéro sur laser
Entrée LVDS <0>	36	
Entrée LVDS <1>	37	
Entrée LVDS<2>	38	
Entrée LVDS<3>	39	
Entrée LVDS<4>		111
Entrée LVDS<5>		112
Entrée LVDS<6>		113
Sortie LVDS <0>	44	
Sortie LVDS <1>	45	
Sortie LVDS<2>	46	
Sortie LVDS<3>	47	
Sortie LVDS<4>		71
Sortie LVDS<5>		73
Sortie LVDS<6>		74
Sortie LVDS<7>		75

Tableau 8-1 Affectation des entrées sorties LVDS

Le résultat des tests est montré par les oscillogrammes sur la Figure 8-8. La figure de gauche correspond à une entrée *LVDS* convertie en *TTL* avec une amplitude de 3,3V pour être traité par le *FPGA*. La figure de droite montre l'opération inverse avec une entrées *TTL* (3,3V), sortant du *FPGA*, et une sortie différentielle d'amplitude 350 mV.

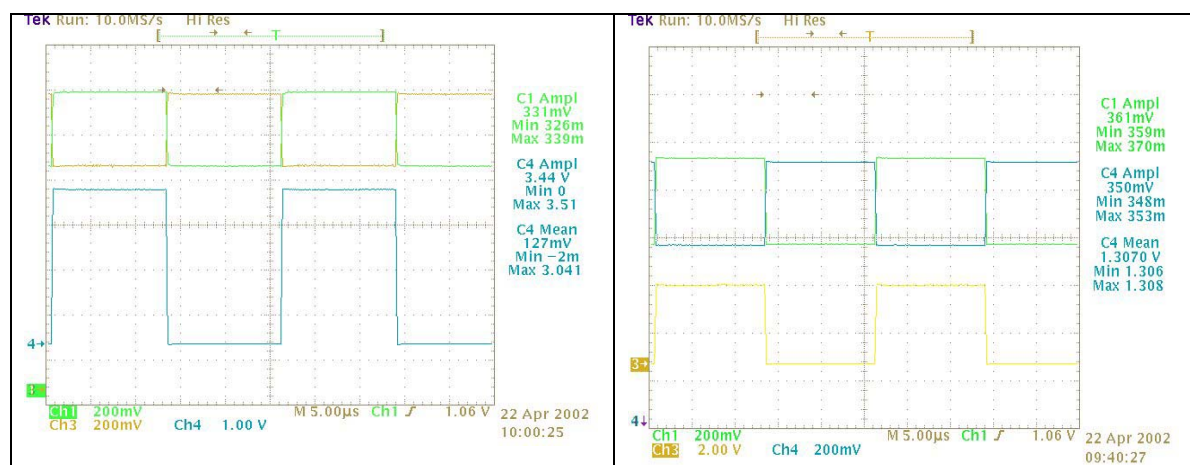


Figure 8-8 Oscillogramme des entrées LVDS (à gauche) et des sorties (à droite)

Le temps de montée et de descente de ces signaux différentiels est de 3ns.

8.4.2 Entrées-sorties NIM

Les Entrées sorties *NIM* ont une amplitude de 0,8 V sur une impédance de 50 Ω. Le signal est négatif comme le montre la Figure 8-9. La particularité de cette norme est d'obtenir des signaux rapides.

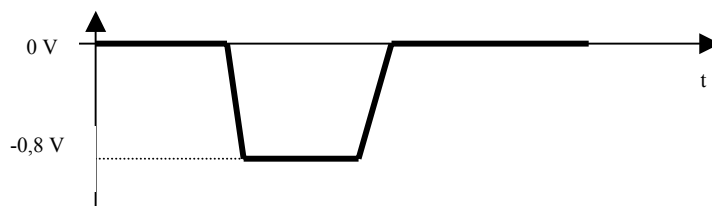


Figure 8-9 Forme du signal NIM.

Désignation	Numéro sur le LFA	Numéro sur le laser
Entrée NIM <0> SYNCIN		161
Entrée NIM <1> BCR		80
Entrée NIM <2> ECR		182
Entrée NIM <3>	111	
Sortie NIM <0>	40	
Sortie NIM <1>	41	
Sortie NIM <2>		10
Sortie NIM <3>		9

Tableau 8-2 Affectation des entrées sorties NIM

Le résultat des tests est montré par les oscillogrammes Figure 8-10 qui montrent la forme des signaux. Pour une impulsion TTL entrée du convertisseur *NIM*, l'impulsion de sortie a les caractéristiques suivantes :

- L'amplitude est inférieure à 1V et comprise entre 0 et -1V
- Le temps de montée est de 1,3 ns
- Le temps de descente est de 1.5 ns

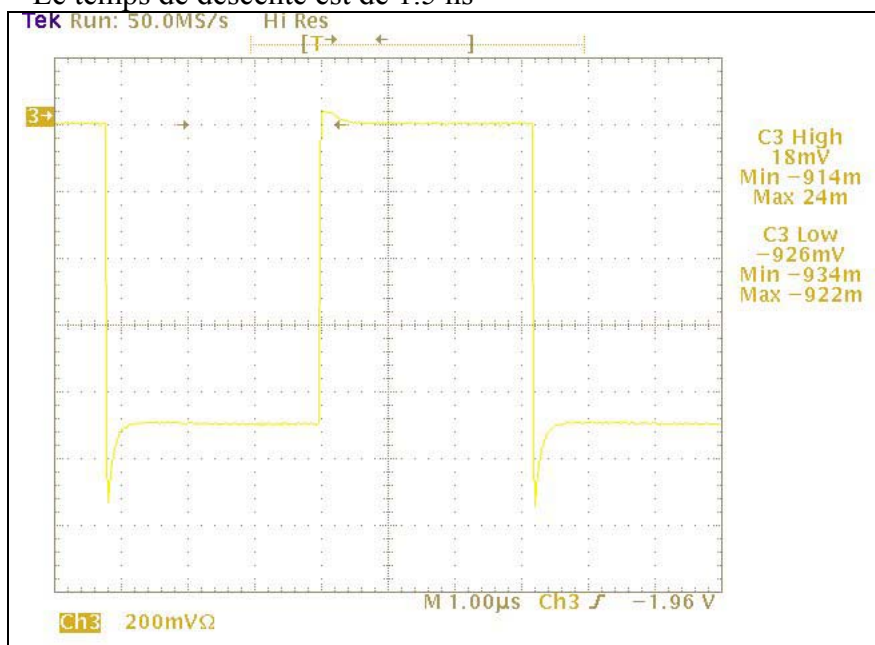


Figure 8-10 Oscillogramme des sorties NIM.

L'amplitude de 1 V n'est pas un problème, puisqu'il faut au moins une valeur de -0,8 V pour que le niveau soit pris en compte.

8.4.3 Entrées-sorties ECL unipolaire

Les Entrées-sorties *ECL* ont une amplitude de 1,6 V sur une impédance de 50 Ω . Le signal est négatif comme le montre la Figure 8-11.

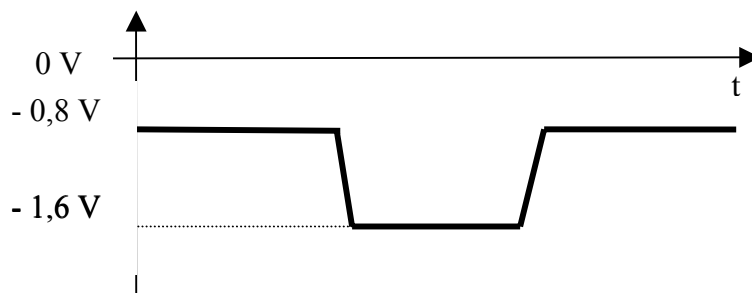


Figure 8-11 Forme du signal ECL unipolaire.

Désignation	Numéro de patte LFA	Numéro de patte laser
Entrée ECL <0> CLKLHC	79	79
Entrée ECL <1>	167	
Entrée ECL <2>		85
Entrée ECL <3>		86
Sortie ECL<0>	7	
Sortie ECL<1>	83	
Sortie ECL<2>		164
Sortie ECL<3>		166

Tableau 8-3 Affectation des entrées sorties ECL.

Le résultat des tests est montré par les oscillogrammes Figure 8-12. Pour une impulsion TTL en entrée du convertisseur, la sortie ECL a les caractéristiques suivantes :

- L'amplitude est d'environ 1 V, et comprise entre -1 V et -2 V.
- Le temps de montée est de 1,5 ns.
- Le temps de descente est de 1,6 ns.

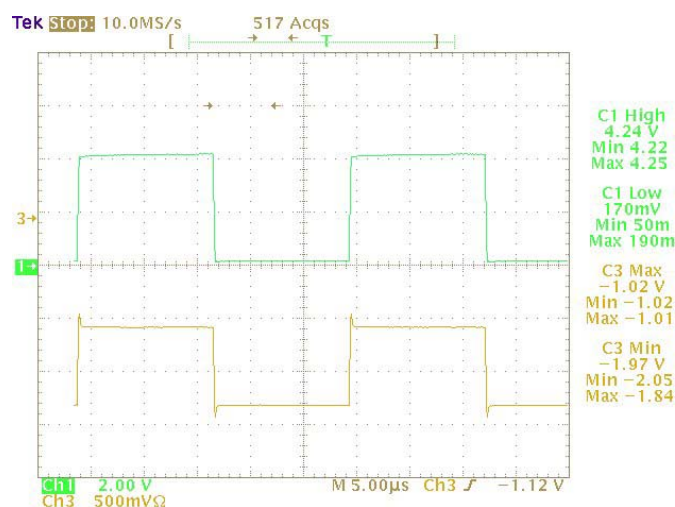


Figure 8-12 Oscillogramme des sorties ECL.

8.5 Test du TDC AMT-1

Pour des raisons de non disponibilité de l'ensemble du système laser, il est très difficile de tester les performances du TDC. Les seuls tests effectués sont l'échange entre le module de contrôle TDCLFA et la carte fille supportant le TDC.



Figure 8-13 Photo de la carte fille supportant le TDC-AMT1.

8.6 Test du CNA

Le CNA permet de convertir la valeur numérique sur 16 bits en une valeur analogique qui est envoyée à la pompe laser pour commander l'amplitude de l'impulsion lumineuse. Ce circuit a une entrée série ; un registre à décalage 16 bits permet de transmettre sa valeur.

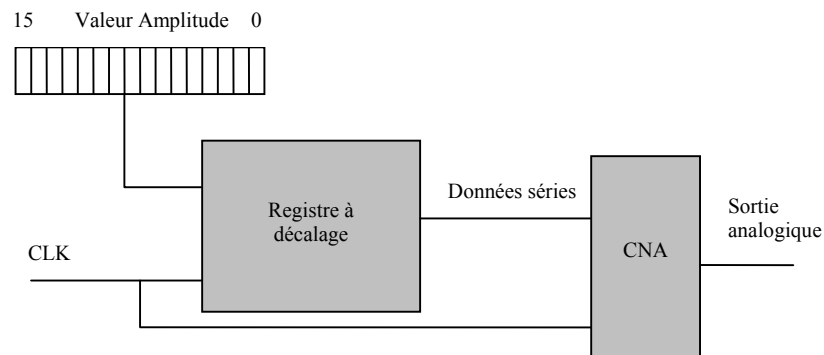


Figure 8-14 Synoptique de chargement du CNA.

Les tests sont effectués à l'aide du logiciel *LABVIEW*. Une rampe est générée et la sortie est mesurée par un multimètre et envoyée au PC. Le modèle *VHDL* décrivant l'interface avec le CNA se trouve en annexe 2. Il est architecturé autour d'une machine d'état.

L'oscillogramme de sortie du CNA est représenté sur la Figure 8-15. Le convertisseur numérique-analogique a une amplitude de 0 à 10V. Le CNA n'utilise que 15 bits puisque l'entrée de la pompe laser varie de 0 à 4 V. L'amplitude de sortie est donc de 5 V, répondant ainsi au cahier des charges. Sa résolution est de 1,52 mV.

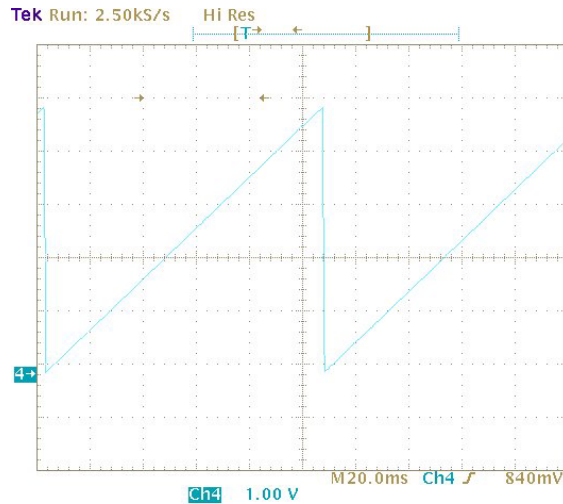


Figure 8-15 Oscillogramme de la sortie CNA.

8.7 Test du CAN

Le *CAN* sert à vérifier que l'amplitude de l'impulsion lumineuse est correctement envoyée à la pompe laser. Le test consiste à injecter la sortie *CAN* réglable de 0 à 5 V sur l'entrée du convertisseur. La valeur du registre est ensuite lue via l'interface VME. La relation entre la valeur en canaux et la tension d'entrée étant donnée par :

$$Cx = \frac{V_e * 4096}{V_{can}}, \text{ avec } V_e \text{ tension d'entrée du } CAN \text{ et } V_{can} \text{ gamme d'entrée du } CAN$$

Le *CAN* est un convertisseur 12 bits , soit $2^{12} = 4096$ valeurs possibles. Dans notre cas $V_{can} = 5 \text{ V}$.

La Figure 8-16 montre les deux courbes, en bleu la courbe du *CNA* avec en abscisse le nombre de points et en ordonnées la valeur en canaux. La courbe de droite, en rouge, représente la lecture du *CAN* avec en abscisse le nombre de points et en ordonnée la valeur en canaux.

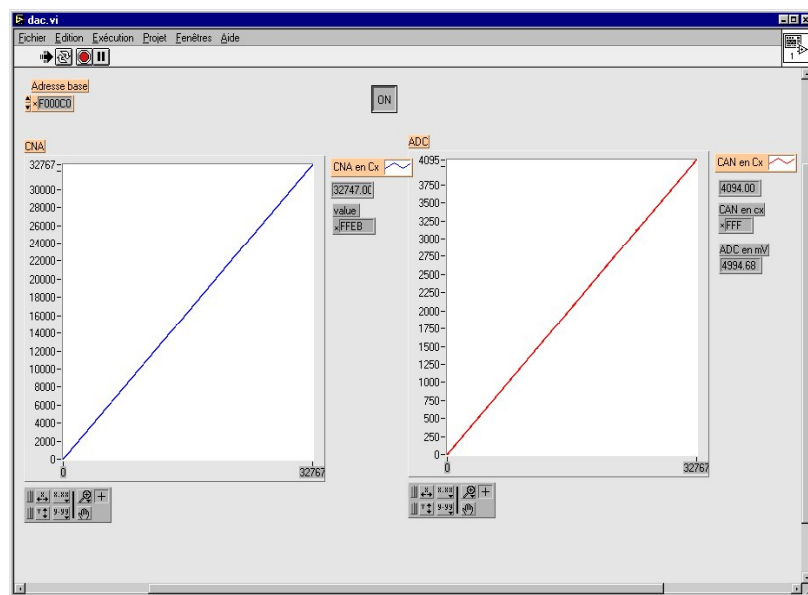


Figure 8-16 Capture d'écran du logiciel LABVIEW.

La courbe du *CAN* est linéaire et varie bien de 0 à 4095 canaux pour une entrée de 0 à 5 V.

Les tests des différentes fonctions de la carte électronique SLAMA ont été effectués et présentés dans ce chapitre. La carte doit être implantée dans le système complet afin d'effectuer des tests complémentaires.

CONCLUSIONS ET PERSPECTIVES

Conclusion

La recherche en physique des hautes énergies se dote de détecteurs très puissants. Leur mise en œuvre est très délicate. La détection des particules et la mesure de leur énergie ne peut se faire que si la réponse de chaque sous-ensemble est connue au cours du temps. Des systèmes de calibrations sont donc requis. En fonction de la technologie employée par les calorimètres, plusieurs systèmes ont été développés.

Ce document a présenté un système de calibration fondé sur l'utilisation d'un laser pulsé émettant dans le vert. Ce système permet d'étalonner les photomultiplicateurs du calorimètre hadronique de l'expérience **ATLAS** au **CERN** ainsi que l'électronique associée (haute tension, lecture). L'environnement dans lequel le système de calibration se trouve a été détaillé afin de pouvoir comprendre le cahier des charges correspondant à la carte électronique de gestion du laser. Le système laser est décomposé en deux parties : contrôle et acquisition.

La partie contrôle, gérée par le *VME* et un automate programmable, est en partie terminée. Le logiciel est à développer et de nombreux tests restent à effectuer.

La partie acquisition se situe sur la carte étudiée dans ces pages. Elle doit prendre en compte tous les paramètres servant aux déclenchements des convertisseurs analogiques-numériques. Elle doit aussi contrôler la transmission de l'impulsion laser et son amplitude.

Un prototype de la carte électronique **SLAMA** a été développé afin d'évaluer la faisabilité du système. Elle comporte des fonctionnalités particulières comme des discriminateurs à fraction constante, de la logique programmable, un convertisseur temps-numérique, et une reconfiguration de la logique par le bus *VME*. Le rôle de la carte **SLAMA** est de générer tous les signaux de déclenchement laser et d'acquisition. Elle doit aussi calculer le réajustement du temps de déclenchement de l'impulsion laser.

Les circuits programmables numériques implantés permettent d'obtenir une grande souplesse vis à vis des possibilités d'utilisation de la carte. En effet, toutes les fonctions numériques peuvent être configurées à volonté. De plus, la configuration des *FPGA* via le bus *VME* permet une intervention in situ sans retour au laboratoire. Une modification à distance via internet est aussi envisageable. La carte électronique **SLAMA** intègre la possibilité de charger huit configurations différentes. Cela représente autant de modes de fonctionnement possibles, comme le fonctionnement en mode autonome (génération des signaux LHC) ou en mode normal.

Les principales fonctions de la carte *SLAMA* ont été testées. Les tests de l'ensemble du système laser seront effectués pendant les années 2002 et 2003. En effet, il reste la partie mécanique à achever et des développements annexe à réaliser.

Néanmoins, les essais préliminaires de la carte *SMALA* donnent entière satisfaction par rapport au cahier des charges. Certaines améliorations peuvent être apportées à la carte de contrôle et d'acquisition. En effet, même si les performances du discriminateur sont satisfaisantes vis à vis du cahier des charges, il est possible de les améliorer en ajoutant un réglage de seuil pour minimiser l'effet de la ligne de base sur le fonctionnement du comparateur. La deuxième évolution consiste à remplacer le *TDC AMTI* par la version 2 de ce circuit intégré, ce qui améliore la précision de la mesure du temps.

Le prototype sera utilisé pour des tests en laboratoire de longue durée (environ 1 an). Le système de calibration laser sera évalué en grandeur nature avec tous les contraintes possibles imposées par l'expérience *ATLAS*. Ces tests permettront de connaître le comportement du laser au cours du temps et d'ajuster les éléments optiques (filtres et roue à filtres).

Une carte permettant d'interfacer le système laser avec l'acquisition principale du calorimètre hadronique, doit être développée. Cette carte fournira les signaux de déclenchement des différentes calibrations. Le système devra également s'intégrer dans l'architecture du système de contrôle du détecteur *ATLAS*.

Ce projet fait partie d'une collaboration internationale, c'est un développement de longue durée qui a commencé au début des années 1990. Le premier prototype du système laser est toujours en service pour tous les tests en faisceau. Le système définitif sera mis en service courant 2007. Bien que largement inspiré du prototype, le dispositif apporte beaucoup de nouveauté aussi bien dans la conception mécanique qu'électronique.

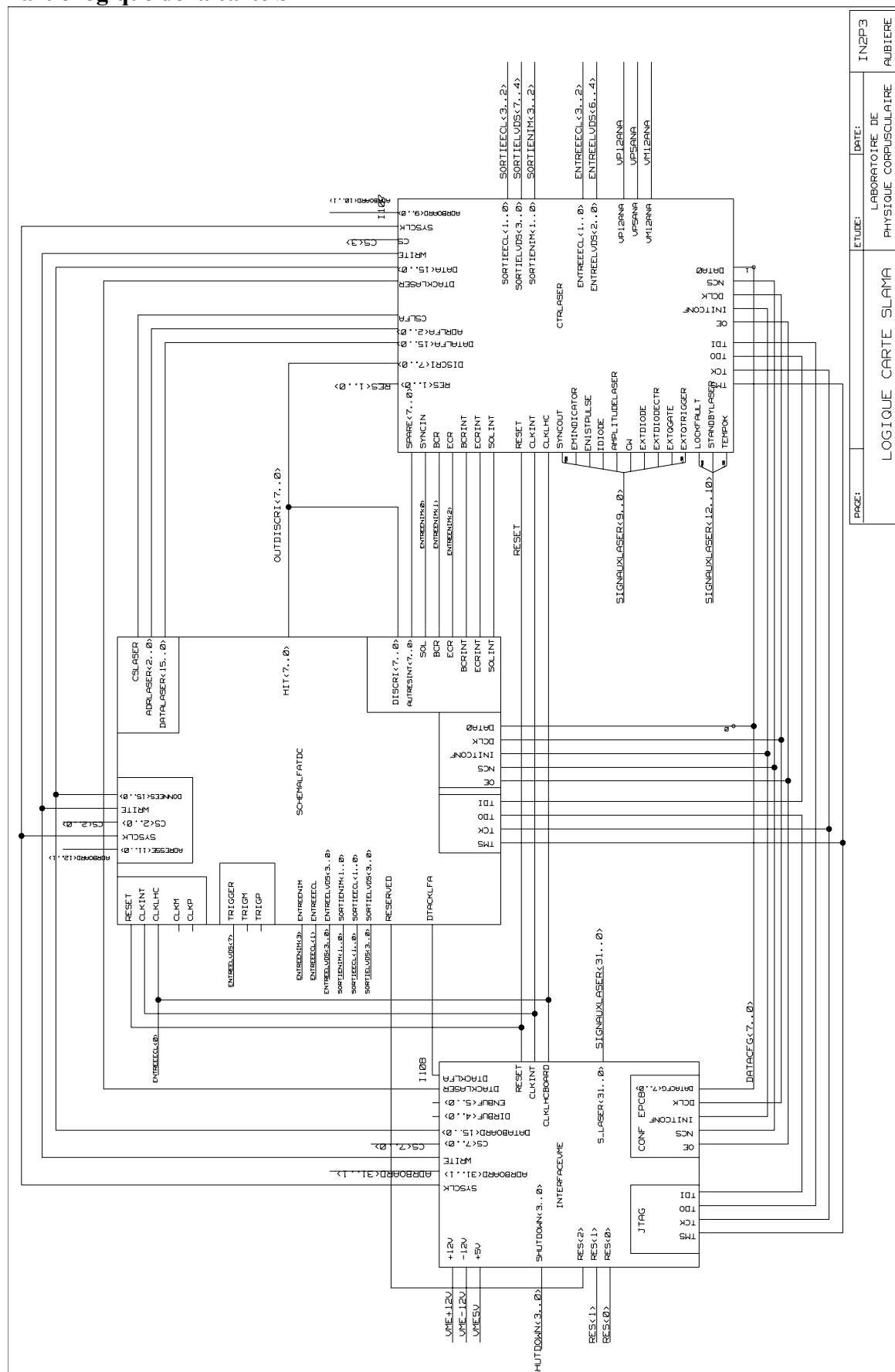
La complexité du système de calibration laser implique des développements mécaniques, optiques et électroniques. L'étude et la réalisation de la carte *SLAMA* effectuées au **Laboratoire de Physique Corpusculaire** permettent d'acquérir beaucoup de connaissances dans des domaines variés tels que :

- l'optique (laser, photodiodes, photomultiplicateur),
- la mécanique (moteurs pas à pas),
- l'électronique analogique-numérique,
- le langage de description haut niveau VHDL,
- la connaissance de nombreux outils de conception assisté par ordinateur,
- l'interface bus VME,
- le logiciel d'acquisition LABVIEW,
- les objectifs majeurs de la physique.

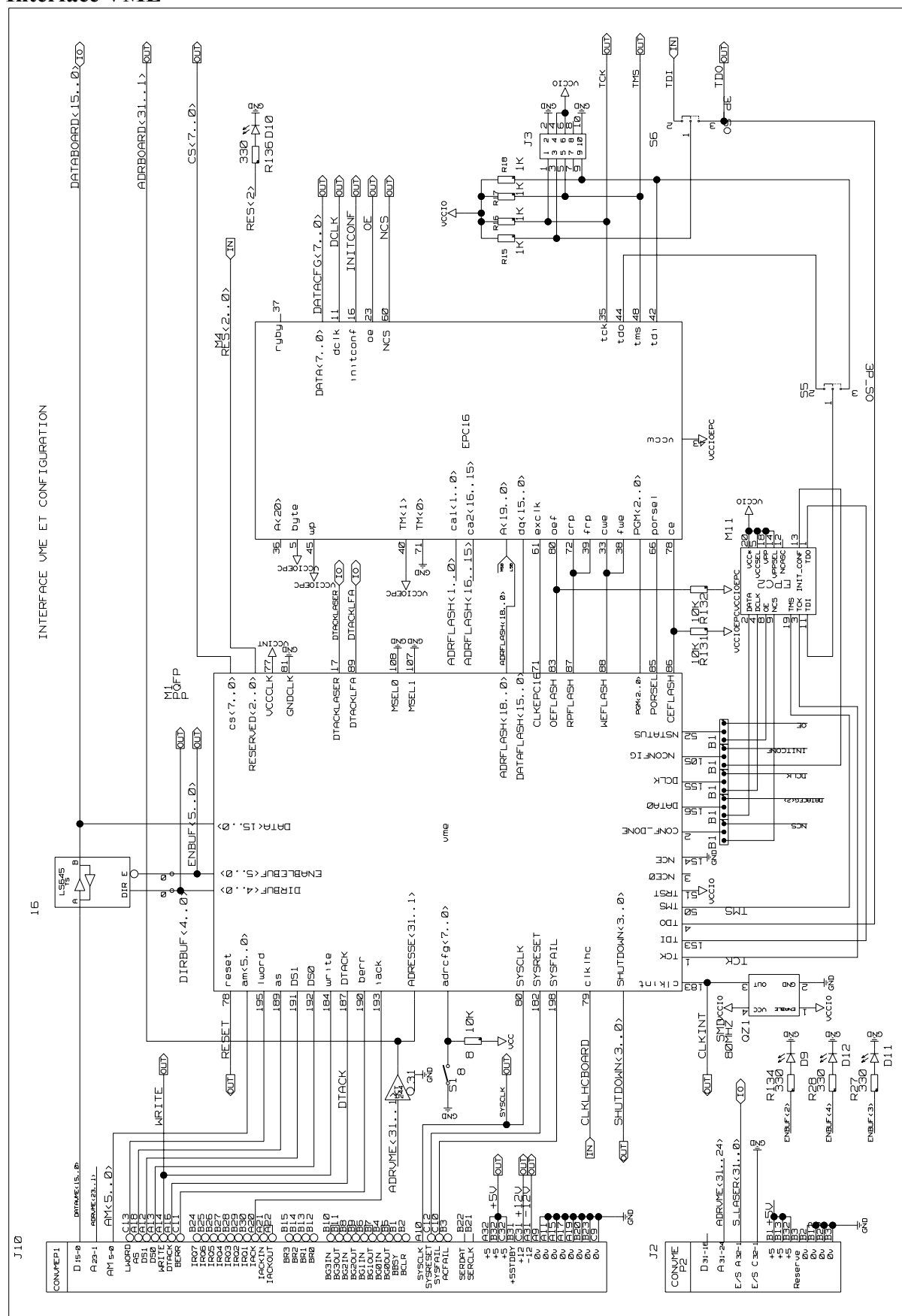
Les premières prises de données physiques auront lieu en 2007 au *CERN* et elles devraient permettre de compléter ou d'aller au delà du modèle standard qui décrit la structure ultime de la matière.

Annexe 1 Schéma de la carte SLAMA

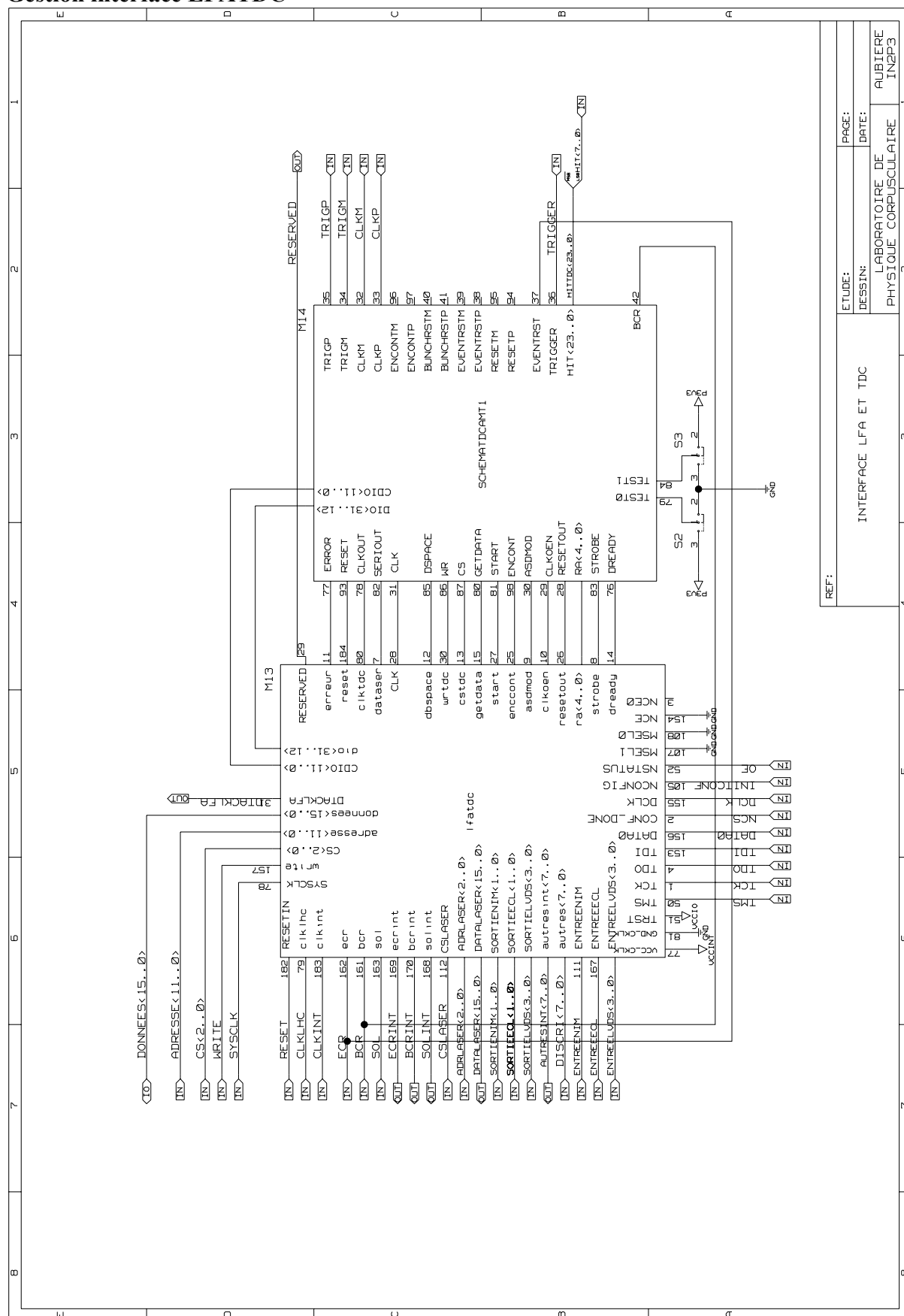
Partie logique de la carte SMALA



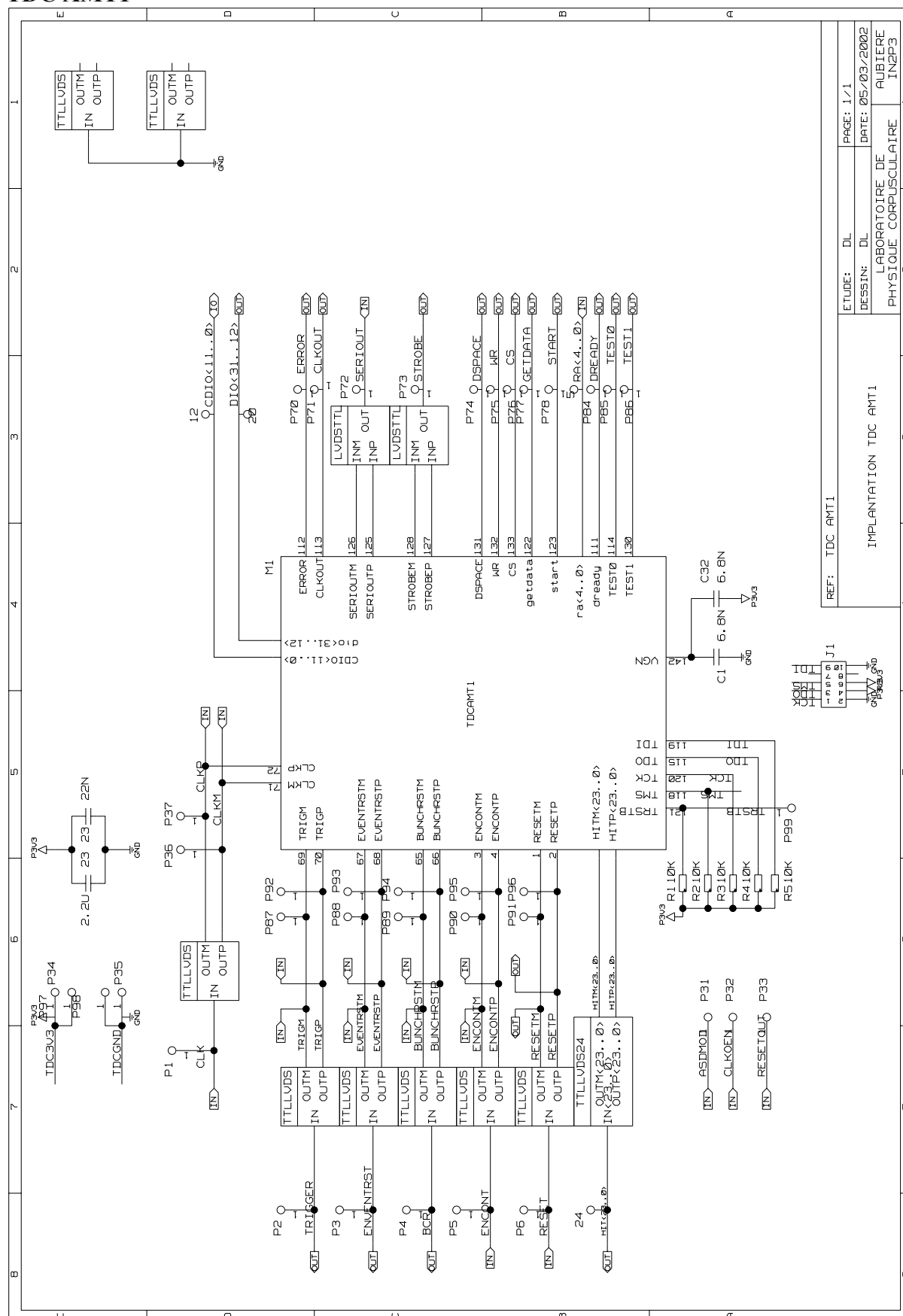
Interface VME



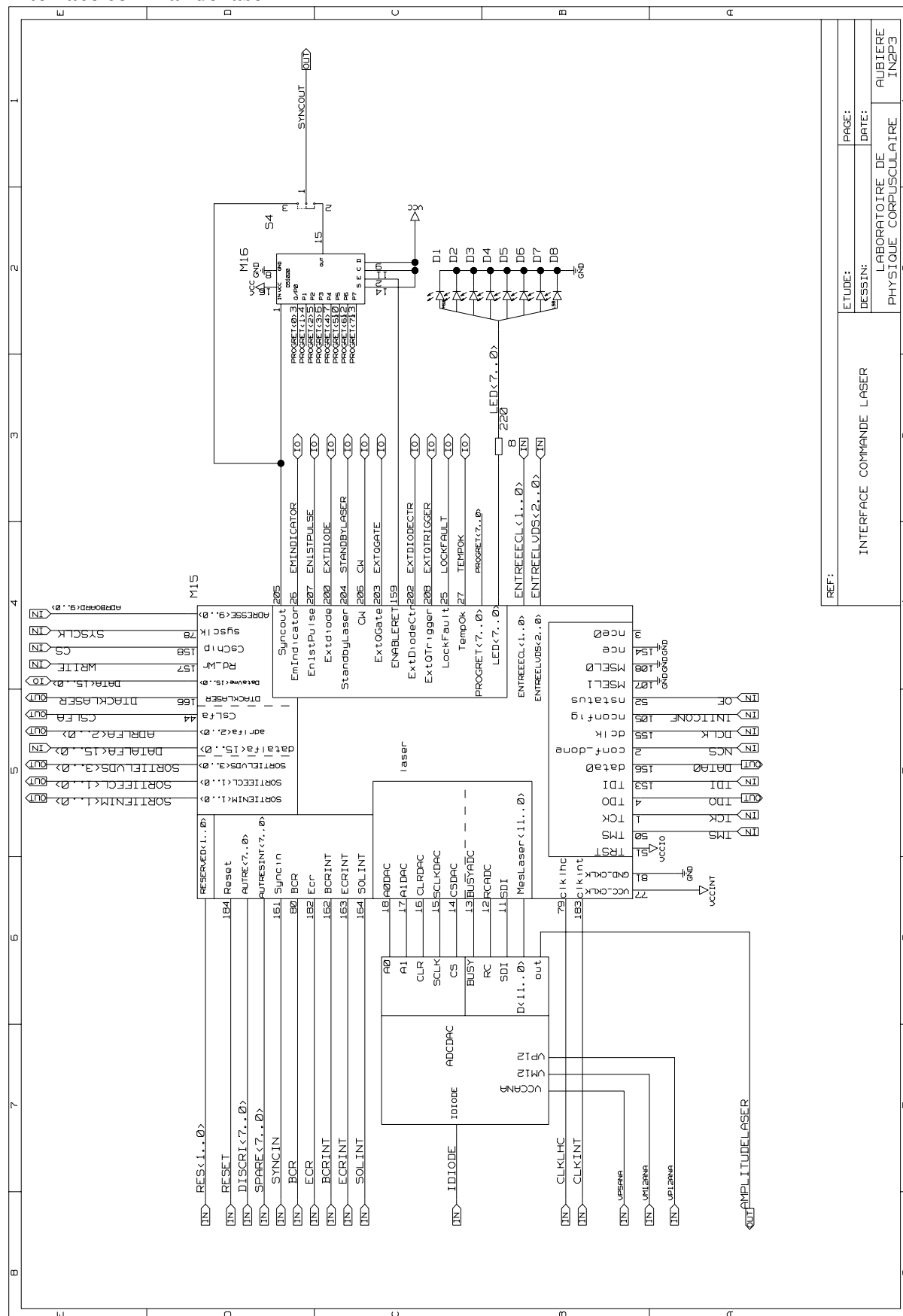
Gestion interface LFATDC



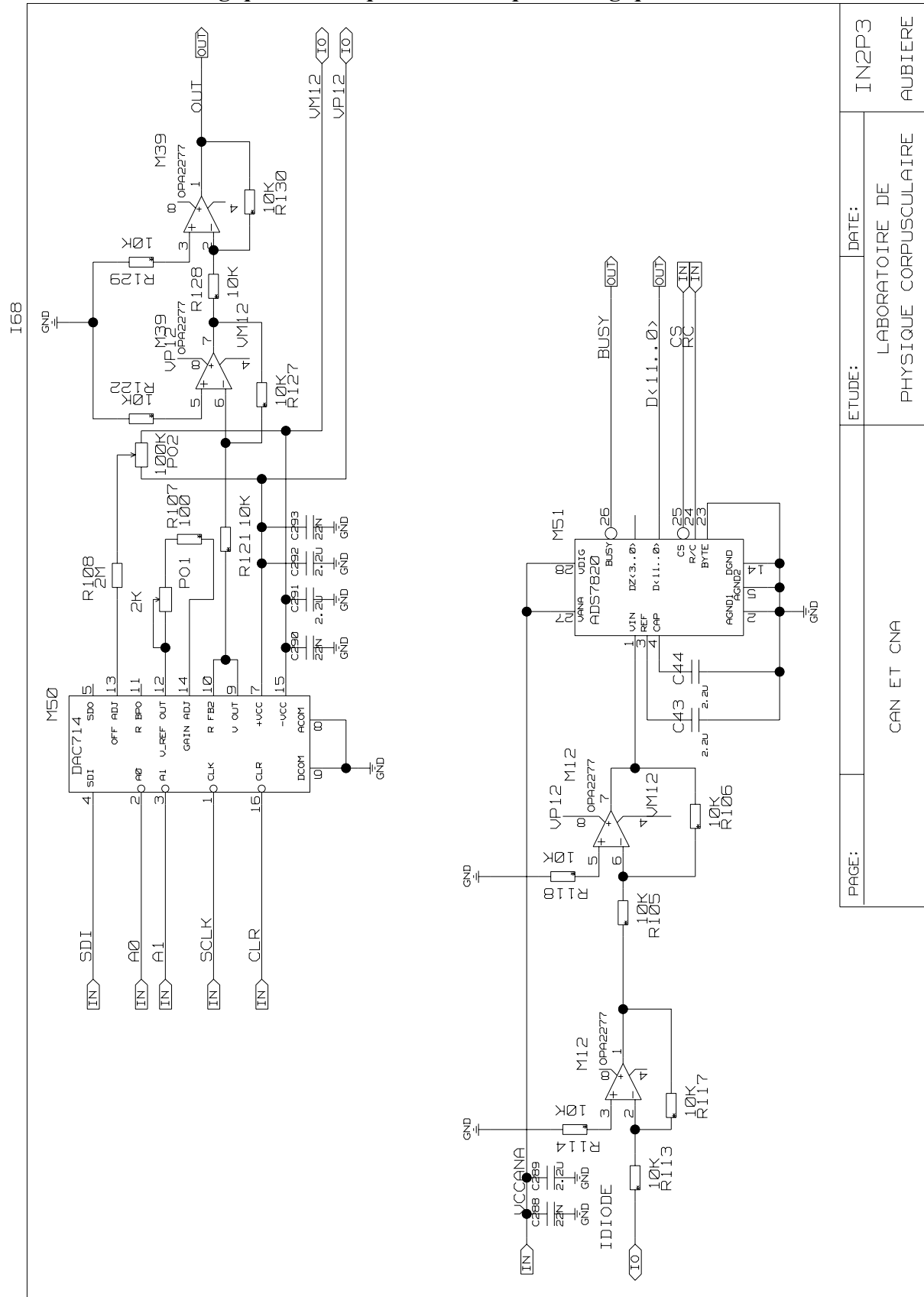
TDC AMT1



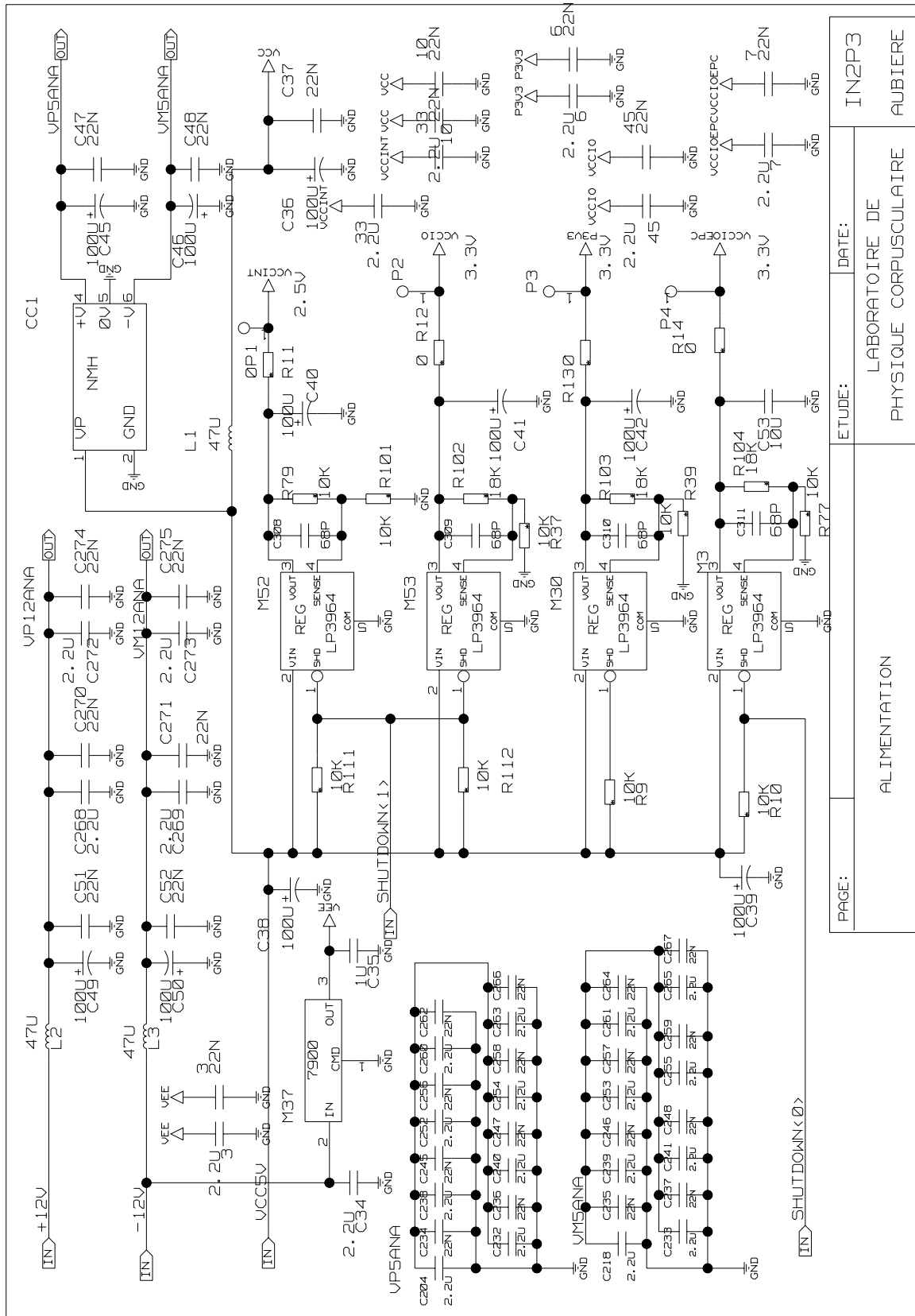
Interface commande laser



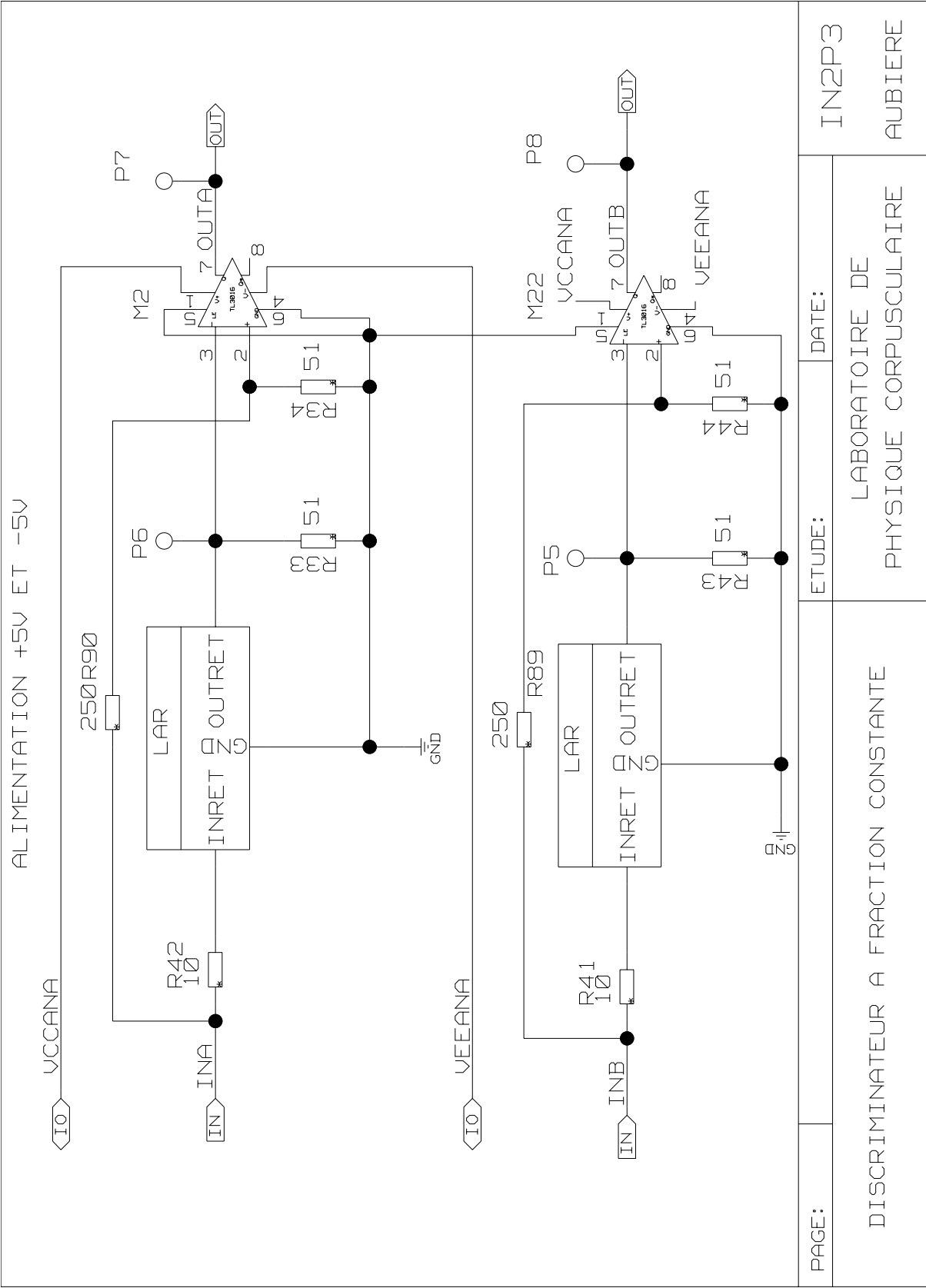
Convertisseur analogique-numérique et numérique-analogique



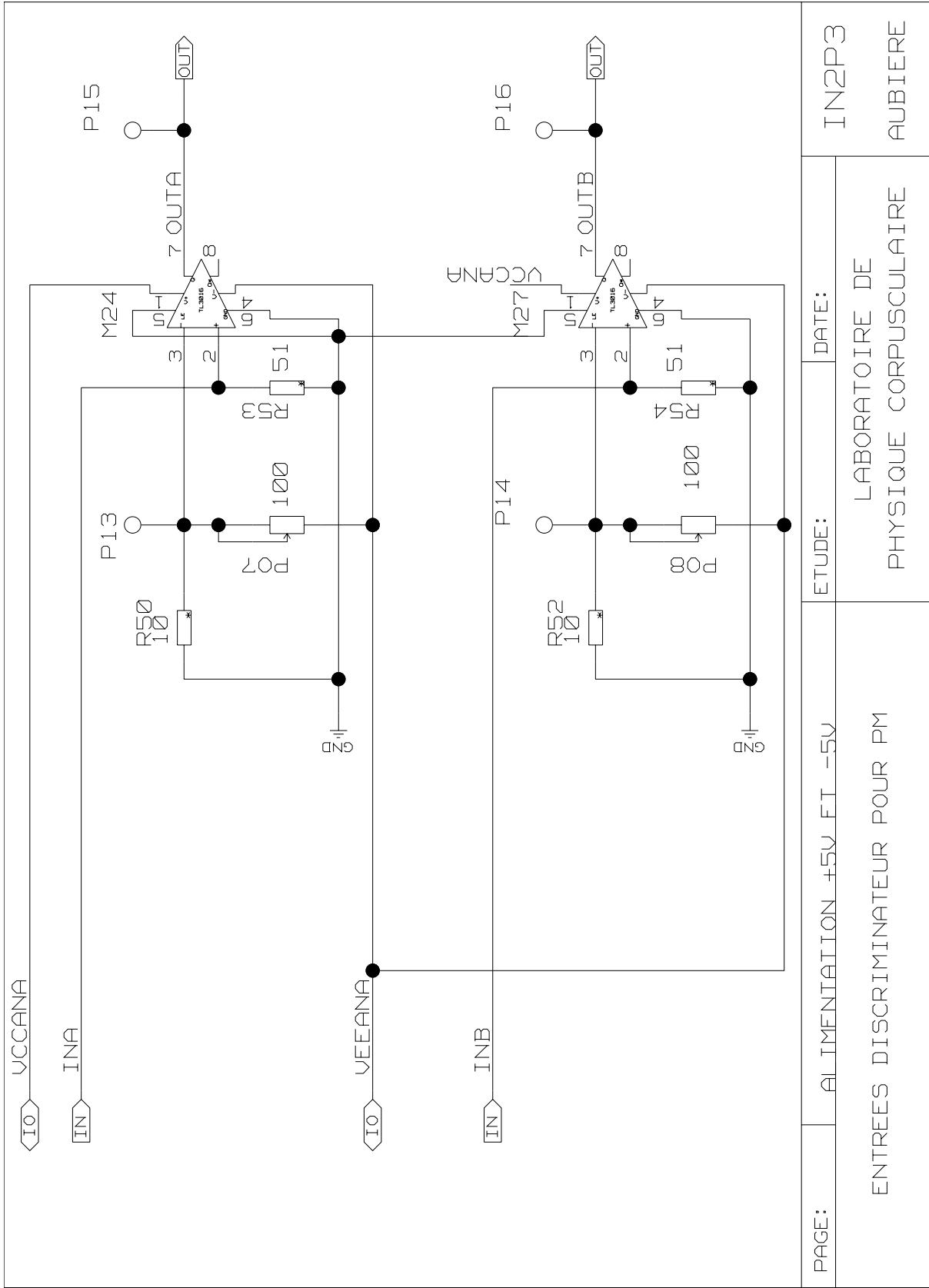
Partie Alimentation de la carte SMALA



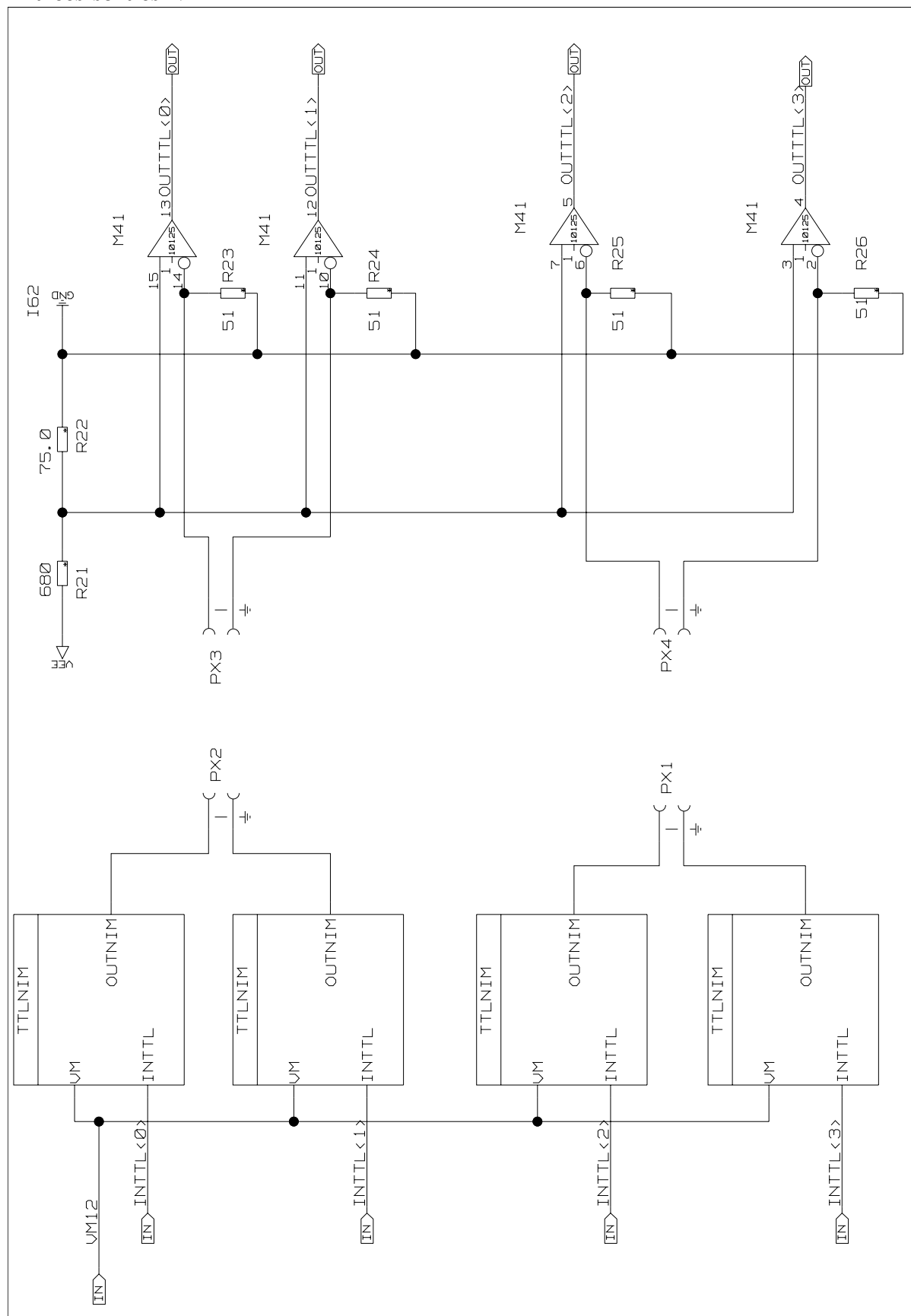
Discriminateur pour les photodiodes



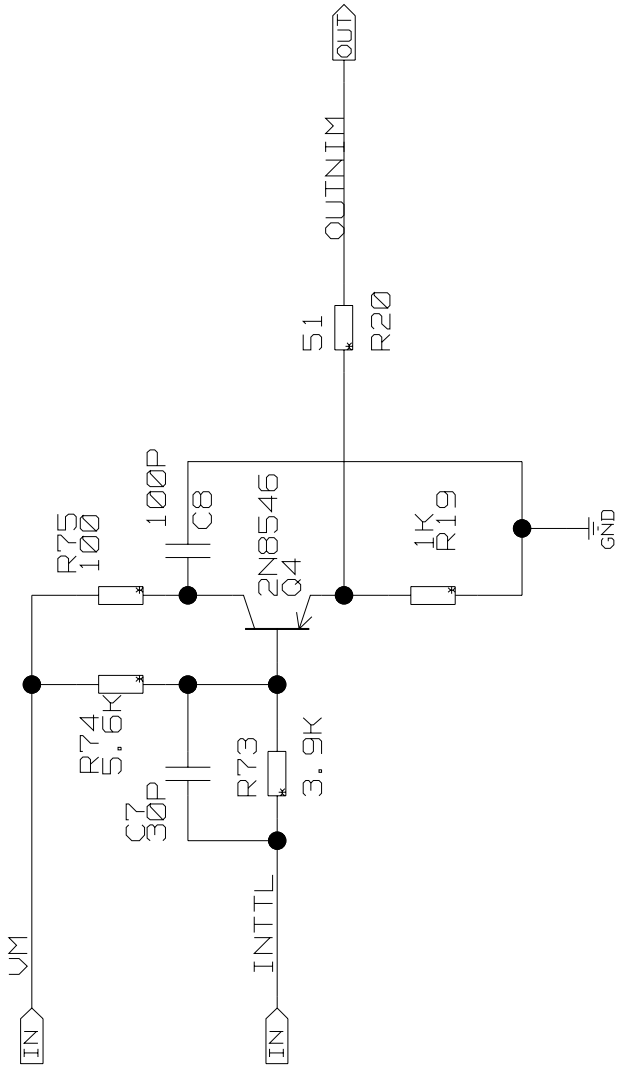
Discriminateur pour les photomultiplicateurs



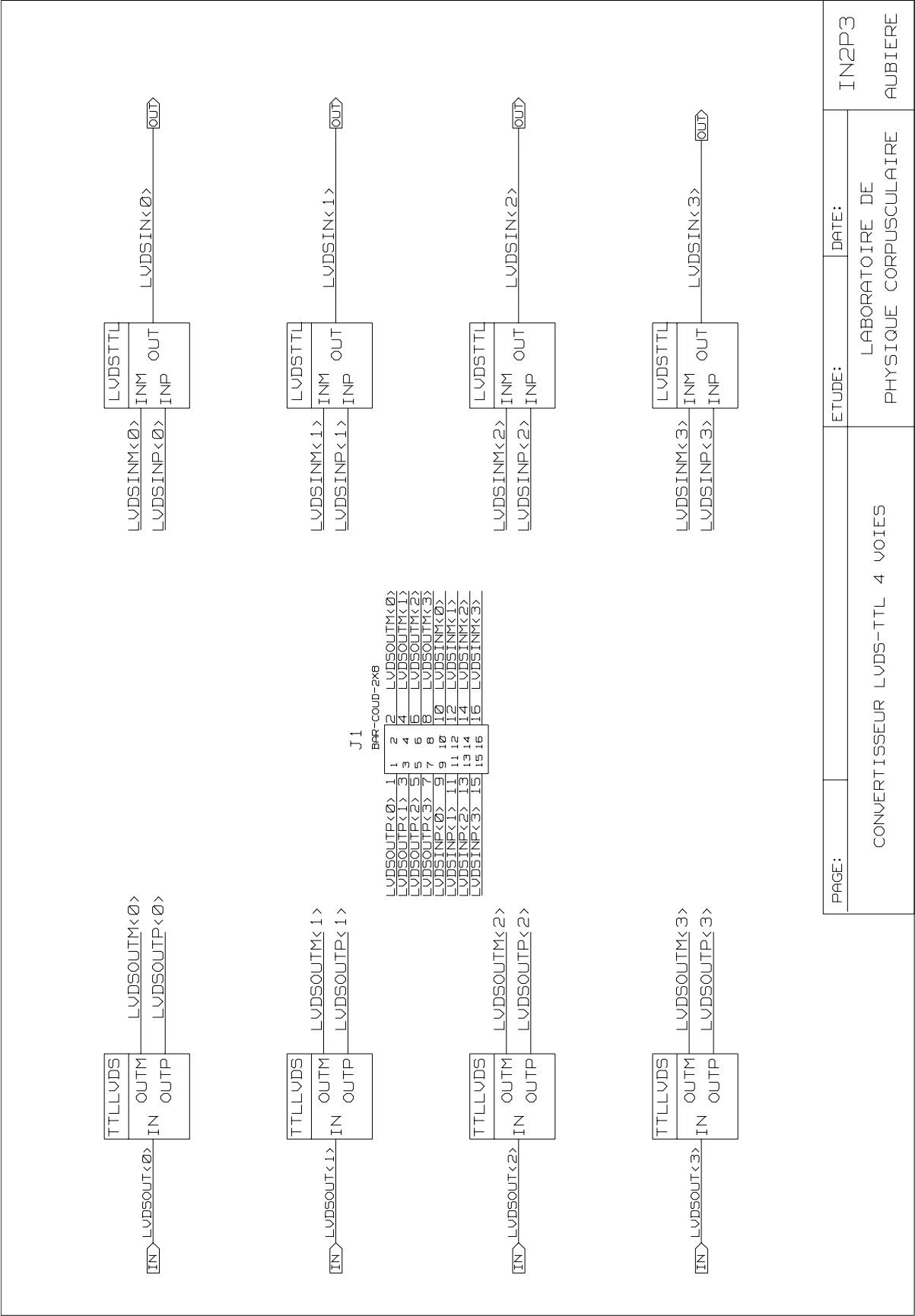
Entrées-sorties NIM



Sorties NIM

		PAGE:	ETUDE:	DATE:	IN2P3
		CONVERTISSEUR TTL VERS NIM	LABORATOIRE DE PHYSIQUE CORPUSCULAIRE		AUBIERE

Entrées-sorties LVDS



TTLLVDS

IN

OUTM

OUTP

LVDSOUT<2>

LVDSOUTM<2>

LVDSOUTP<2>

LVDSSTTL

INM

OUT

INP

LVDSINM<2>

LVDSINP<2>

LVDSIN<2>

OUT

TTLLVDS

IN

OUTM

OUTP

LVDSOUT<3>

LVDSOUTM<3>

LVDSOUTP<3>

LVDSSTTL

INM

OUT

INP

LVDSINM<3>

LVDSINP<3>

LVDSIN<3>

OUT

J1

BARR-COUP-2x8

LVDSOUTP<0>	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
LVDSOUTM<0>	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
LVDSOUTP<1>	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
LVDSOUTM<1>	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
LVDSOUTP<2>	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
LVDSOUTM<2>	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
LVDSOUTP<3>	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
LVDSOUTM<3>	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
LVDSINP<0>	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
LVDSINM<0>	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
LVDSINP<1>	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
LVDSINM<1>	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
LVDSINP<2>	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
LVDSINM<2>	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
LVDSINP<3>	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
LVDSINM<3>	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16

PAGE:

ETUDE:

DATE:

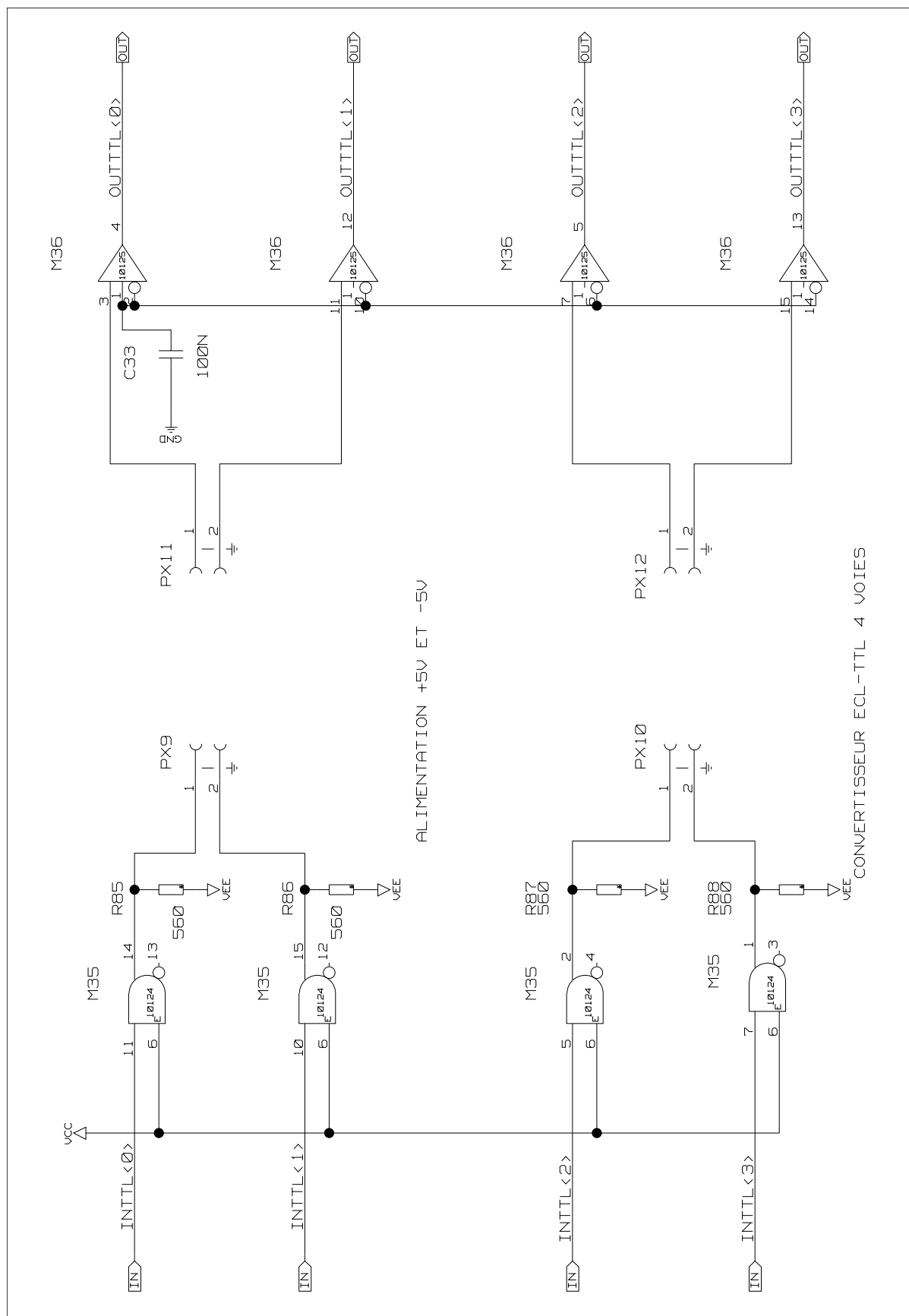
IN2P3

CONVERTISSEUR LVDS-TTL 4 VOIES

LABORATOIRE DE
PHYSIQUE CORPUSCULAIRE

AUBIERE

Entrées sorties ECL



Annexe 2 Modèles VHDL

Calcul du retard

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity arithbc is
  generic (ArithWidth : integer := 12);
  port (sub      : out std_logic_vector(ArithWidth-1 downto 0);
        BcVal   : in  std_logic_vector(ArithWidth-1 downto 0);
        BcRef   : in  std_logic_vector(ArithWidth-1 downto 0);
        Retard   : in  std_logic_vector(ArithWidth-1 downto 0);
        clk1hc   : in  std_ulogic;
        reset    : in  std_ulogic);
end arithbc;

architecture behavior of arithbc is

  signal subtemp : std_logic_vector(ArithWidth-1 downto 0);

begin

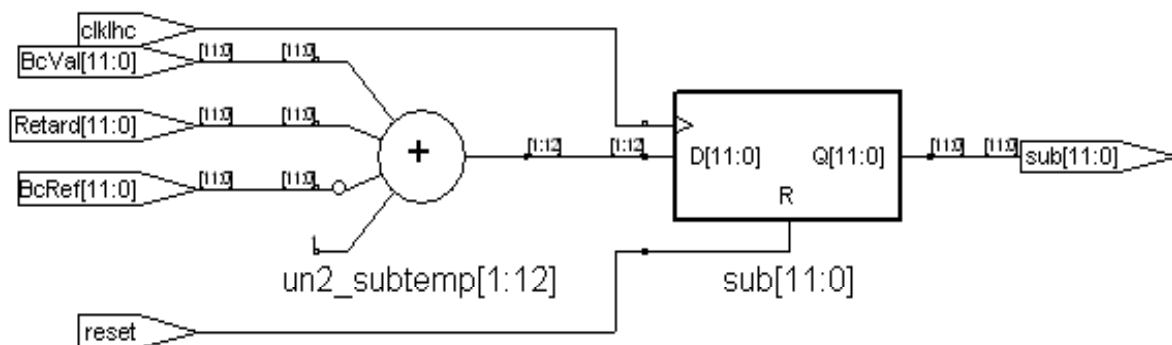
  subtemp <= BcVal - BcRef + Retard;

  process (clk1hc,reset)
  begin
    if (reset = '1') then
      sub <= (others => '0');
    elsif (clk1hc'event and clk1hc = '1') then
      sub <= subtemp;
    end if;
  end process;

end behavior;

```

Synthèse du calcul du retard



Compteur de croisements (BC)

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;

entity cptbc is
  generic (NbitCounter : integer := 12);
  port (compteur: out std_logic_vector (NbitCounter-1 downto 0);
        clk1hc : in  std_ulogic;
        bcr     : in  std_ulogic;
        PulsePM : in  std_ulogic);
end cptbc;

architecture behavior of cptbc is

  signal cpt : integer range 0 to 2**NbitCounter;

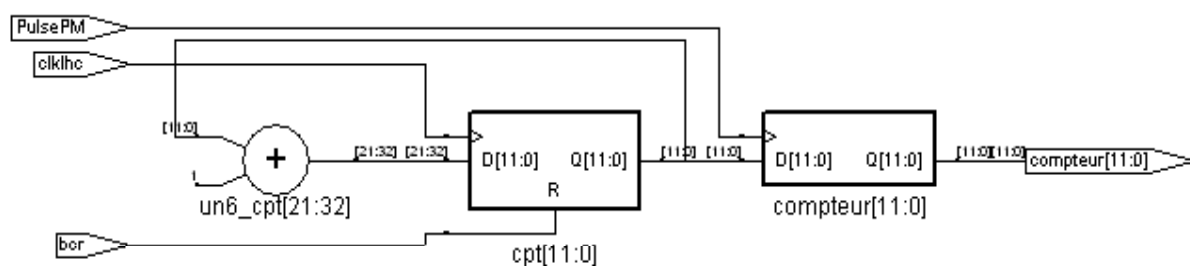
begin

  process (clk1hc,bcr)
  begin
    if (bcr = '1') then
      cpt <= 0;
    elsif (clk1hc'event and clk1hc = '1') then
      cpt <= cpt + 1;
    end if;
  end process;

  process (PulsePM)
  begin
    if PulsePM'event and PulsePM = '1' then
      compteur <= conv_std_logic_vector(cpt,NbitCounter);
    end if;
  end process;
end behavior;

```

Synthèse du compteur de croisements (Logiciel Synplify)



Définition d'une mémoire

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity memoire is
    generic (DataWidth : integer := 16;
            Profondeur : integer := 5);
    port (dataout : out std_logic_vector(DataWidth-1 downto 0);
          datain  : in  std_logic_vector(DataWidth-1 downto 0);
          rd_wr   : in  std_ulogic;
          adresse : in  std_logic_vector(Profondeur-1 downto 0);
          clk     : in  std_ulogic);
end memoire;

architecture behavior of memoire is

    type memoire is array (2**Profondeur-1 downto 0) of std_logic_vector(DataWidth-1 downto 0);
    signal mem : memoire;
    signal adr : std_logic_vector(Profondeur-1 downto 0);

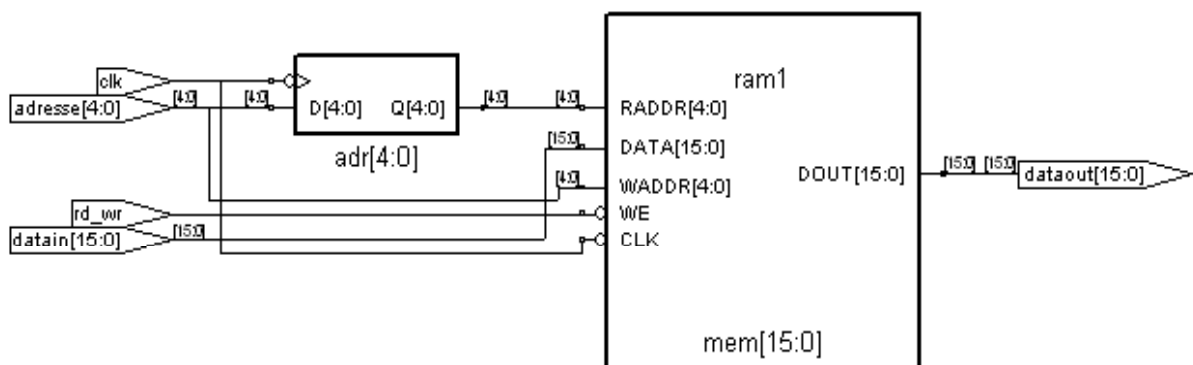
begin

    process (clk)
    begin
        if (clk'event and clk = '0') then
            if (rd_wr = '0') then
                mem(conv_integer(adresse)) <= datain;
            end if;
            adr <= adresse;
        end if;
    end process;
    dataout <= mem(conv_integer(adr));

end behavior;

```

Synthèse de la mémoire (logiciel Synplify)



Interface avec le CNA

```

Library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
--use ieee.std_logic_numeric.all;
use ieee.std_logic_unsigned.all;

entity dac is
  port (Val : in  std_logic_vector (15 downto 0);
        send: in  std_ulogic;
        clki: in  std_ulogic;
        SDI : out std_ulogic;
        A0  : out std_ulogic;
        A1   : out std_ulogic;
        CLR  : out std_ulogic;
        CS   : out std_ulogic;
        CLK0: out std_ulogic);
end dac;

architecture behavior of dac is

  type T_StateDac is (NONE, DEBUT, SERIE, LATCH, LATCH1, FIN);

  signal NewStateDac : T_StateDac;
  signal Statedac    : T_StateDac;
  begin
    clko <= clki;
    clr  <= '1';
    process (clki)
      variable index :integer;
    begin
      if (clki'event and clki = '1') then
        case StateDac is
          when NONE      => if (send = '1') then
                                NewStateDac <= DEBUT;
                                else NewStateDac <= NONE;
                              end if;

          when DEBUT      => A0 <= '0';
                                A1 <= '1';
                                index := 16;
                                NewStateDac <= SERIE;

          when SERIE      => SDI <= val(index-1);
                                index := index -1;
                                if (index = 0) then
                                  NewStateDac <= LATCH;
                                else NewStateDac <= SERIE;
                                end if;

          when LATCH      => A0 <= '1';
                                A1 <= '1';
                                NewStateDac <= LATCH1;

          when LATCH1     => A0 <= '1';
                                A1 <= '0';
                                NewStateDac <= FIN;

          when FIN        => A0 <= '1';
                                A1 <= '1';
                                NewStateDac <= NONE;

          when others     => NewStateDac <= NONE;
        end case;
      end if;
    end process;
    Statedac <= newStatedac;
  end behavior;

```

Annexe 3 Placement routage

Modèle VHDL d'une mémoire

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity memoire is
  generic (DataWidth : integer := 16;
    Profondeur : integer := 4);
  port (dataout : out std_logic_vector(DataWidth-1 downto 0);
    datain : in std_logic_vector(DataWidth-1 downto 0);
    rd_wr : in std_ulogic;
    adresse : in std_logic_vector(Profondeur-1 downto 0);
    clk : in std_ulogic);
end memoire;

architecture behavior of memoire is

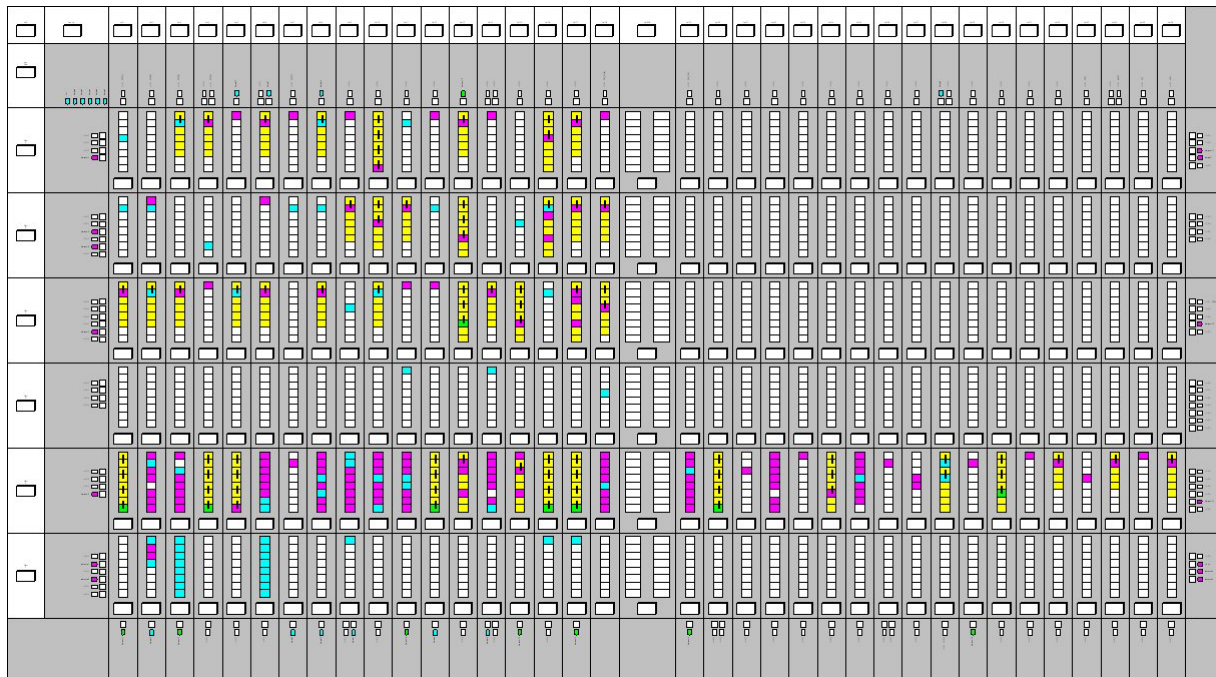
  type memoire is array (2**Profondeur-1 downto 0) of std_logic_vector(DataWidth-1 downto 0);
  signal mem : memoire;
  signal adr : std_logic_vector(Profondeur-1 downto 0);

begin

  process (clk)
  begin
    if (clk'event and clk = '0') then
      if (rd_wr = '0') then
        mem(conv_integer(adresse)) <= datain;
      end if;
      adr <= adresse;
    end if;
  end process;
  dataout <= mem(conv_integer(adr));
end behavior;

```

Mémoire implantée sous forme de registres (logiciel Maxplus2)



Modèle VHDL d'une mémoire

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
library synplify;
use synplify.attributes.all;

entity memoire is
    generic (DataWidth : integer := 16;
            Profondeur : integer := 4);
    port (dataout : out std_logic_vector(DataWidth-1 downto 0);
          datain  : in  std_logic_vector(DataWidth-1 downto 0);
          rd_wr   : in  std_ulogic;
          adresse : in  std_logic_vector(Profondeur-1 downto 0);
          clk     : in  std_ulogic);
end memoire;

architecture behavior of memoire is

    type memoire is array (2**Profondeur-1 downto 0) of std_logic_vector(DataWidth-1 downto 0);
    signal mem : memoire;

    attribute syn_ramstyle of mem : signal is "block_ram";

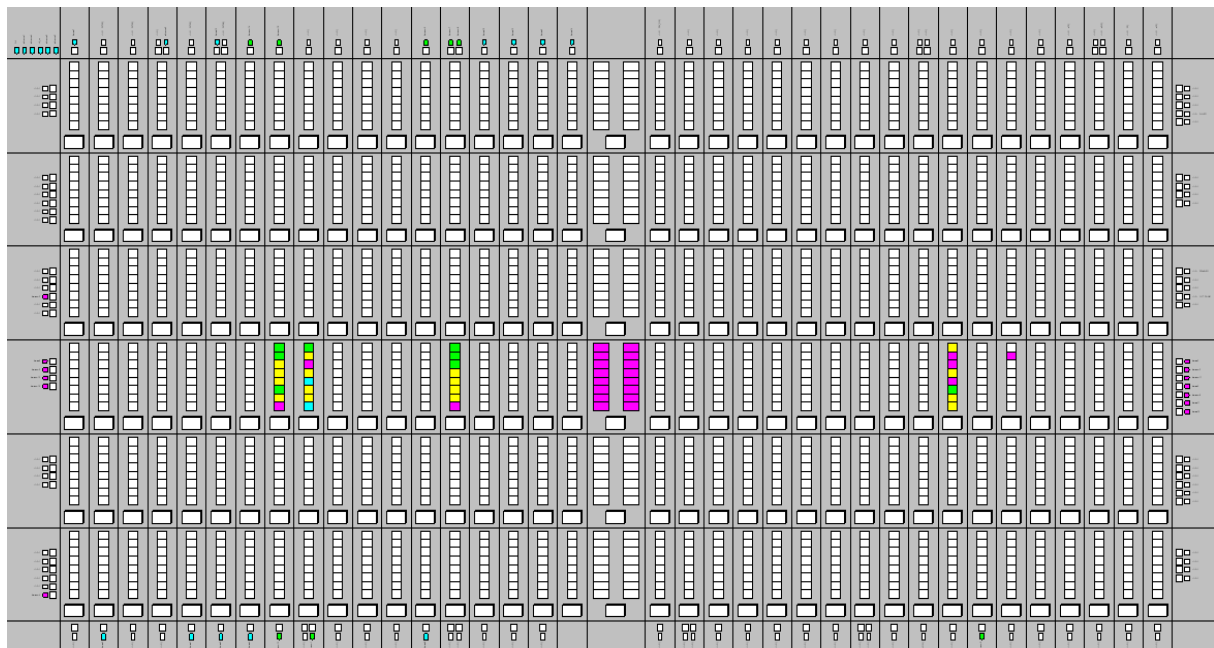
    signal adr : std_logic_vector(Profondeur-1 downto 0);
    begin

    process (clk)
    begin
        if (clk'event and clk = '0') then
            if (rd_wr = '0') then
                mem(conv_integer(adresse)) <= datain;
            end if;
            adr <= adresse;
        end if;
    end process;
    dataout <= mem(conv_integer(adr));

    end behavior;

```

Implémentation d'une mémoire dans les cellules spécialisées (logiciel Maxplus2)



Annexe 4 Modèle spice

Pour effectuer des simulations avec les modèles « spices » des constructeurs, il faut insérer le tableau suivant dans la chaîne de simulation. Cette description est pour un comparateur max961 du fabricant Maxim. L'étape suivante consiste à dessiner le symbole du composant en mettant des broches dans le même ordre que dans le modèle (représenter en gras)

```
* /////////////////////////////////////////////////// MAX961 MACROMODEL ///////////////////////////////////
*
* =====>          REFER TO MAX961 DATA SHEET          <=====
*
* connections:      +IN
*                   | -IN
*                   | | V+
*                   | | | V-
*                   | | | |
*                   | | | | LE
*                   | | | | | GND QOUT QOUTCOMP
*                   | | | | | | |
* .subckt max961    1 2 3 4 352 300 433 483
*
* NOTE1: QOUTCOMP IS ACTUALLY COMPLIMENTED QOUT.
* NOTE2: INCLUDE
*         .OPTION ITL4=50 RELTOL=0.001
*
*                                     TO ENHANCE CONVERGENCE.
*
f101      3  9 v1 1
Iee100    7  400 dc 100.0E-6
q101      9  20  7 qin
Q2        8  21  7 qin
Q3        9  8   399 qmo
Q4        8  8   399 qmi
VMB 400 4 0V
VPB 399 3 0V
*****
VIN1 2 23 .95
VIN2 1 25 .95
****
IPSUP 3 0 8.5ma
INSUP 0 4 8.5ma
****
EHYST 23 20 POLY(1) 0 60 0 1
VS2 21 25 0V
.model qin NPN(Is=800.0E-18 Bf=3.33)
.model qmi PNP(Is=800.0E-18 Bf=1002)
.model qmo PNP(Is=800.0E-18 Bf=1000 Cjc=1E-15 Tr=3.3E-9)
.MODEL PMOS PMOS
*(VTO=-1.7 KP=1.8E-3)
e1 10 4 3 9 2
v1 10 11 dc 0
q5 5 11 44 qoc
vshift 44 4 0v
*clamps output, Q5 collector load.
R55 3 5 1meg
DP5 5 3 DP
DP6 4 5 DP
*****
***** Hysterisis section
GH 0 51 32 101 1E-6
ECM 101 0 3 4 0.5
RCM 101 0 10MEG
*****
*****COMPARATOR POINT FOR CREATING LOGIC OUTPUT, +-1, hi,lo.
RH1 3 51 1E11
RH2 4 51 1E11
DP1 51 52 DP
DP2 53 51 DP
VP1 52 0 1V
VP2 53 0 -1V
*****
IHYST 55 0 -1E-9
**GENERATES 1MV OF HYST. TO MIMIC SMOOTH TRANSITION.
RREF 55 0 1E6
**LOGIC OUTPUT, NODE 60 ALTERS THE POLARITY, SO 55 SHOULD ALWAYS BE POS.
GMULT 60 0 POLY(2) 51 0 55 0 0 0 0 0 1E-6
RMULT 60 0 1E6
*****
```

```

**EH 3 98 3 4 0.5
VVIRTUAL 98 0 0V
G12 98 32 5 0 7.04E-3
R15 98 32 140
**=====
.model qoc NPN(Is=800.0E-18 Bf=181 Cjc=1E-15 Tf=42e-12 Tr=2E-9)
.MODEL DX D(Is=800.0E-18)
.MODEL DP D(N=0.001)
**=====
****== MODELS USED ==****
.MODEL DX2 D(IS=1E-15 n=0.001)
**** *****
**** *****
VCONNECT 302 32 0V
** AND1
** 302, 312 is the input, output is 333.
RN1 302 303 1MEG
DA1 305 330 DP
DA2 300 305 DP
RA2 304 305 1MEG
EA1 304 300 POLY(1) 302 303 0 10
****
RN10 312 303 1MEG ;node 303 is 1.4volts.
DA10 315 330 DP
DA12A 300 315 DP
RA12 314 315 1MEG
EA11 314 300 POLY(1) 312 303 0 -10
**-10 COMPLIMENTS LE, SO LOW IS TRANSPARENT
****
GAMULT 300 331 POLY(2) 305 300 315 300 0 0 0 0 1E-6
RAMULT 331 300 1G
DA5 331 330 DP
DA6 300 331 DP
EOA 332 300 331 300 1
ROA 332 333 100
****
** AND2
** 352, 362 is the input, output is 383.
RN12 352 303 1MEG
ILE 352 300 -20UA
DA12 355 380 DP
DA22 300 355 DP
RA22 354 355 1MEG
EA12 354 300 POLY(1) 352 303 0 -10
**-10 COMPLIMENTS LE, SO LOW IS TRANSPARENT
****
RN102 362 303 1MEG ;node 303 is 1.4volts.
DA102 365 380 DP
DA122 300 365 DP
RA122 364 365 1MEG
EA112 364 300 POLY(1) 362 303 0 10
****
GAMULT2 300 381 POLY(2) 355 300 365 300 0 0 0 0 1E-6
RAMULT2 381 300 1G
DA52 381 330 DP
DA62 300 381 DP
EOA2 382 300 381 300 1
ROA2 382 383 100
****
* OR1
* 402,412 are the inputs, output is 433
RO1 402 403 1MEG
VO14 403 300 1.4V
VO1 430 300 5V
DO1 405 430 DP
DO2 300 405 DP
RO2 404 405 1MEG ; WAS 1MEG
EO1 404 300 POLY(1) 402 403 0 10
***
RO10 412 403 1MEG ;node 403 is 1.4volts.
DO10 415 430 DP
DO12 300 415 DP
RO120 414 415 300 ; WAS 1MEG
EO11 414 300 POLY(1) 412 403 0 10
***
GOADD1 300 431 POLY(2) 405 300 415 300 0 1E-6 1E-6
ROADD 431 300 1G

```

```



DO5 431 3 DP
DO6 300 431 DP
EOO 432 300 431 300 1
ROO 432 433 125 ; OUTPUT IS 433
* OR2
* 452,462 are the inputs, output is 488
RO12 452 403 1MEG
VO12 480 300 5V
DO12O 455 480 DP
DO22 300 455 DP
RO22 454 455 1MEG ; WAS 1MEG
EO12 454 300 POLY(1) 452 403 0 10
***
RO102 462 403 1MEG ;node 403 is 1.4volts.
DO102 465 480 DP
DO122 300 465 DP
RO122 464 465 300 ; WAS 1MEG
EO112 464 300 POLY(1) 462 403 0 10
***
GOADD12 300 481 POLY(2) 455 300 465 300 0 1E-6 1E-6
ROADD2 481 300 1G
DO52 481 3 DP
*** was 3 was 480
DO62 300 481 DP
EOO2 482 300 481 300 1
ROO2 482 483 125 ; OUTPUT IS 483
* INVERTER1
*INPUT 602, OUTPUT 605
RIN1 602 303 1MEG
DIA1 605 630 DP
DIA2 300 605 DP
v11 630 300 5v
RIA2 604 605 10k
EIA1 604 300 POLY(1) 602 303 0 -10
* INVERTER2
*INPUT 612, OUTPUT 615
RIN12 612 303 1MEG
DIA12 615 640 DP
DIA22 300 615 DP
v112 640 300 5v
RIA22 614 615 10k
EIA12 614 300 POLY(1) 612 303 0 -10
* INVERTER3
*INPUT 622, OUTPUT 625
RIN13 622 303 1MEG
DIA13 625 650 DP
DIA23 300 625 DP
v113 650 300 5v
RIA23 624 625 10k
EIA13 624 300 POLY(1) 622 303 0 -10
*** *****BIASING*****
*** *****
VA14 303 300 1.4V
VA1 330 300 5V
*VDGND 300 0 0V ;          **** Will be brought out in subckt.
***
* CONNECTIONS *****
VSH1 605 362 0V
VSH2 312 352 0V
VSH3 333 402 0V
VSH4 383 462 0V
VSH5 433 622 0V
VSH6 625 452 0V
VSH7 483 612 0V
VSH8 615 412 0V
VSH9 302 602 0V
.ENDS

```

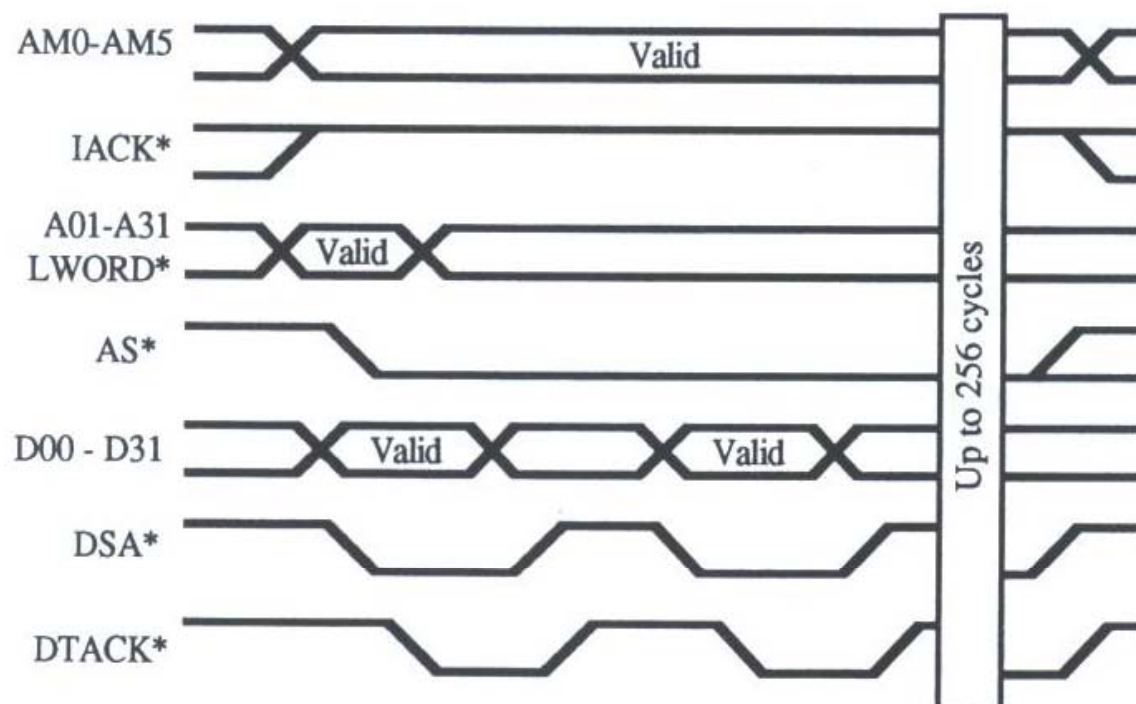

Annexe 5 Modes et signaux d'interface du bus VME.

Tableau d'adressage du bus VME

Signaux d'adresses et de données								Signaux de contrôle				
A31-A24	A23-A16	A15-A08	A07-A01	D31-D24	D23-D16	D16-D08	D07-D00	DS1	DS2	A01	Lword	A02
Octet(0)	Octet(1)	Octet(2)	Octet(3)	Octet(4)	Octet(5)	Octet(6)	Octet(7)	0	0	0	0	0
				Octet(0)	Octet(1)	Octet(2)	Octet(3)	0	1	0	0	X
				Octet(0)	Octet(1)	Octet(2)		0	1	0	0	X
					Octet(1)	Octet(2)	Octet(3)	1	0	0	0	X
					Octet(1)	Octet(2)		0	0	1	0	X
						Octet(2)	Octet(3)	0	0	1	1	X
						Octet(0)	Octet(1)	0	0	0	1	X
							Octet(3)	1	0	1	1	X
						Octet(2)		0	1	1	1	X
							Octet(1)	0	0	0	1	X
						Octet(0)		0	1	0	1	X
Adressage illégale								0	0	1	0	X
								0	1	1	0	X

	Portion inutilisée du bus de données
	Portion inutilisée du bus d'adresse
X :	Aucune importance

Chronogramme des signaux du bus VME pour le bloc de transfert



Modele VHDL de l'interface VME

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
library synplify;
use synplify.attributes.all;

entity vme is
  port (clk      : in  std_ulogic;
        sysclk   : in  std_ulogic;
        clk1hc   : in  std_ulogic;
        reset    : in  std_ulogic;
        sysfail   : in  std_ulogic;
        sysreset  : in  std_ulogic;
        adresse   : in  std_logic_vector (30 downto 0);
        datavme   : inout std_logic_vector(15 downto 0);
        am        : in  std_logic_vector(5 downto 0);
        lword     : in  std_ulogic;
        as        : in  std_ulogic;
        ds0       : in  std_ulogic;
        ds1       : in  std_ulogic;
        write     : in  std_ulogic;
        dtack     : inout std_ulogic;
        berr      : in  std_ulogic;
        iack      : in  std_ulogic;
        adrcfg    : in  std_logic_vector(7 downto 0);
        enbuf     : out std_logic_vector(2 downto 0);
        dirbuf    : out std_logic_vector(4 downto 0);
        cs        : out std_logic_vector(7 downto 0);
        dataflash : in  std_logic_vector(15 downto 0);
        adrflash  : in  std_logic_vector(18 downto 0);
        oeflash   : in  std_logic;
        rpflash   : in  std_logic;
        weflash   : in  std_logic;
        clkepc16  : out std_ulogic;
        ceflash   : out std_ulogic;
        pgm       : out std_logic_vector(2 downto 0);
        porsel    : out std_ulogic;
        shutdown  : out std_ulogic_vector(3 downto 0);
        led       : out std_logic_vector(3 downto 0);
        reserve   : out std_logic_vector(1 downto 0);
        bidon     : out std_logic_vector(1 downto 0));

  attribute altera_chip_pin_lc : string;
  attribute altera_chip_pin_lc of clk      : signal is "@183";
  attribute altera_chip_pin_lc of sysclk   : signal is "@80";
  attribute altera_chip_pin_lc of clk1hc   : signal is "@79";
  attribute altera_chip_pin_lc of reset    : signal is "@78";

  attribute altera_chip_pin_lc of sysfail   : signal is "@198";
  attribute altera_chip_pin_lc of sysreset  : signal is "@182";
  attribute altera_chip_pin_lc of adresse   : signal is
"@104,@111,@112,@113,@114,@115,@116,@119,@120,@121,@122,@125,@126,@127,@128,@131,@132,@133,@134,@135,@136,@137";
  attribute altera_chip_pin_lc of datavme   : signal is "@163,@164,@166,@167,@168,@169,@170,@172,@173,@174,@175";
  attribute altera_chip_pin_lc of am        : signal is "@162,@161,@160,@159,@158,@157";
  attribute altera_chip_pin_lc of lword     : signal is "@195";
  attribute altera_chip_pin_lc of as        : signal is "@189";
  attribute altera_chip_pin_lc of ds0       : signal is "@192";
  attribute altera_chip_pin_lc of ds1       : signal is "@191";
  attribute altera_chip_pin_lc of write     : signal is "@184";
  attribute altera_chip_pin_lc of dtack     : signal is "@187";
  attribute altera_chip_pin_lc of berr      : signal is "@190";
  attribute altera_chip_pin_lc of iack      : signal is "@193";
  attribute altera_chip_pin_lc of adrcfg    : signal is "@103,@102,@101,@100,@99,@97,@96,@95";
  attribute altera_chip_pin_lc of enbuf     : signal is "@7,@11,@208";
  attribute altera_chip_pin_lc of dirbuf    : signal is "@16,@15,@14,@13,@12";
  attribute altera_chip_pin_lc of cs        : signal is "@199,@200,@202,@203,@204,@205,@206,@207";
  attribute altera_chip_pin_lc of shutdown  : signal is "@90, @92, @93,@94";
  attribute altera_chip_pin_lc of led       : signal is "@8,@47, @9, @10";
  attribute altera_chip_pin_lc of dataflash : signal is "@53, @54, @55,@56,@57,@58,@60,@61,@62,@63,@64,@65,@67";
  attribute altera_chip_pin_lc of adrflash  : signal is "@46, @45, @44,@41,@40,@39,@38,@37,@36,@31,@30,@29,@28";
  attribute altera_chip_pin_lc of oeflash   : signal is "@83";
  attribute altera_chip_pin_lc of weflash   : signal is "@88";
  attribute altera_chip_pin_lc of rpflash   : signal is "@87";
  attribute altera_chip_pin_lc of clkepc16  : signal is "@71";
  attribute altera_chip_pin_lc of ceflash   : signal is "@86";

```

```

attribute altera_chip_pin_lc of pgm : signal is "@75,@74,@73";
attribute altera_chip_pin_lc of porsel : signal is "@85";
attribute altera_chip_pin_lc of reserve : signal is "@196,@197";
end vme;

architecture behavior of vme is

constant AddrBus : integer := 31;
constant DataBus : integer := 16;

component DecodageVme
generic (DataBus : integer := 16;
        AddrBus : integer := 8;
        NbCs : integer := 8);
port (adresse : in std_logic_vector(AddrBus-1 downto 0);
      sysclk : in std_ulogic;
      enable : in std_ulogic;
      cs : out std_logic_vector(NbCs-1 downto 0));
end component;

component RegistreVme
generic (DataBus : integer := 8;
        NbAdr : integer := 3);
port (adresse : in std_logic_vector(NbAdr-1 downto 0);
      din : in std_logic_vector(DataBus-1 downto 0);
      dout : out std_logic_vector(DataBus-1 downto 0);
      reg0 : out std_logic_vector(DataBus-1 downto 0);
      reg1 : out std_logic_vector(DataBus-1 downto 0);
      reg2 : out std_logic_vector(DataBus-1 downto 0);
      reg3 : out std_logic_vector(DataBus-1 downto 0);
      reg4 : out std_logic_vector(DataBus-1 downto 0);
      reg5 : out std_logic_vector(DataBus-1 downto 0);
      reg6 : out std_logic_vector(DataBus-1 downto 0);
      reg7 : out std_logic_vector(DataBus-1 downto 0);
      cs : in std_logic;
      write : in std_ulogic;
      sysclk : in std_ulogic);
end component;

constant LevelLword : std_ulogic := '1';
constant LevelIack : std_ulogic := '1';
constant LevelDs1 : std_ulogic := '0';
constant LevelDs0 : std_ulogic := '0';
constant AmDefault : std_logic_vector(5 downto 0) := "111001";

type GestionState is (NONE,ASTROBE,DSTROBE,WR,READ,READ1,WROTE,STOP);

signal AddrValid : std_ulogic;
signal Datastrobe : std_ulogic;
signal en : std_ulogic;
signal StateVme : GestionState;
signal NewStateVme : GestionState;
signal CsInt : std_logic_vector(7 downto 0);
signal din : std_logic_vector(DataBus-1 downto 0);
signal dout : std_logic_vector(DataBus-1 downto 0);
signal adr : std_logic_vector(7 downto 0);
signal AmReg : std_logic_vector(5 downto 0);
signal Reg7 : std_logic_vector(DataBus-1 downto 0);
signal dtackin : std_ulogic;
signal dtackout : std_ulogic;
SIGNAL div : std_logic_vector(26 downto 0);
begin

DecVme1 : DecodageVme
generic map (DataBus => 16,AddrBus => 8,NbCs => 8)
port map (adresse => adresse(7 downto 0),sysclk => sysclk,
          enable => en, cs => CsInt);

RegVme1 : RegistreVme
generic map (DataBus => 16,NbAdr => 4)
port map (adresse => adresse(3 downto 0), din => din(15 downto 0),
          dout => dout(15 downto 0),Reg0 => Reg7,Reg1 => open,
          Reg2 => open,Reg3 => open,Reg4 => open,Reg5 => open,
          Reg6 => open,Reg7 => open,cs => CsInt(0),write => write,sysclk => sysclk);

AmReg <= Amdefault;

```

```

adr <= adresse(AdrBus-9 downto AdrBus-16) when AmReg = "111001"
      else adresse(AdrBus-1 downto AdrBus-8) when AmReg = "110110"
      else adresse(AdrBus-17 downto AdrBus-24);

AdrValid  <=  '1' when ( adr = adrcfg) and((am = AmReg) or (am = AmDefaut)) and
                (lword = LevelIword) and(iack = LevelIack)
                else '0';

DataStrobe <=  '1' when (ds1 = LevelDs1) and (ds0 = LevelDs0)
                else '0';

cs          <= CsInt;

datavme <= dout when (write = '1') and (AdrValid = '1') and (Csint(0) = '0') and ((NewStateVme = READ) or (N
      else (others => 'Z');

din  <= datavme;

en <= '1' when (NewStateVme = READ) or (NewStateVme = WROTE) or
      (NewStateVme = READ1) or (NewStateVme = DSTROBE)
      else '0';

process (sysclk,StateVme)
begin
  if (sysclk'event and sysclk = '1') then
    IF (AdrValid = '1') THEN
      case StateVme is
        when NONE => if (AdrValid = '1') then
                        NewStateVme <= ASTROBE;
                      else NewStateVme <= NONE;
                      end if;
        when ASTROBE => if (as = '0') then
                        NewStateVme <= DSTROBE;
                      else NewStateVme <= ASTROBE;
                      end if;
        when DSTROBE => if (DataStrobe = '1') then
                        if (WRITE = '1') then
                          NewStateVme <= READ;
                        else NewStateVme <= WROTE;
                        end if;
                      else NewStateVme <= DSTROBE;
                      end if;
        when READ => NewStateVme <= READ1;
        when READ1 => if (DataStrobe = '0') then
                      NewStateVme <= STOP;
                      else NewStateVme <= READ1;
                      end if;

        when WROTE => if (DataStrobe = '0') then
                      NewStateVme <= STOP;
                      else NewStateVme <= WROTE;
                      end if;
        when STOP => if (AdrValid = '0') then
                      NewStateVme <= NONE;
                      else NewStateVme <= STOP;
                      end if;
        when others => NewStateVme <= NONE;
      end case;
      else NewStateVme <= NONE;
      end if;
    end if;
  end process;
StateVme <= NewStateVme;
EnBuf(0) <= not AdrValid;
DirBuf(0) <= not write;
dtack <= '0' when ( NewStateVme = WROTE) or ( NewStateVme = READ1)
      else 'Z';
dtackin <= dtack;
shutdown <= (others => '1');

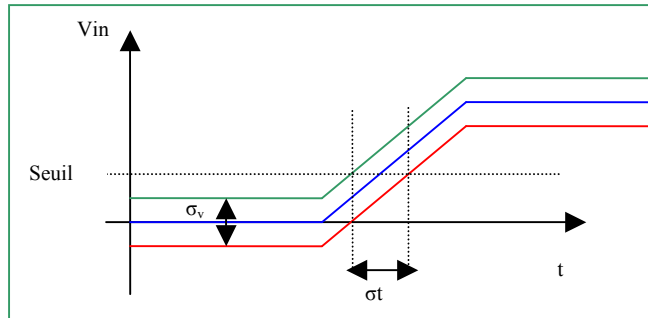
end behavior;

```

Annexe 6 Calculs du temps de gigue du
discriminateur à fraction constante.

Calculs du temps de gigue

Tout comme le comparateur classique, le comparateur à fraction constante possède un temps de gigue. Celui-ci est représenté par la figure ci-dessous.

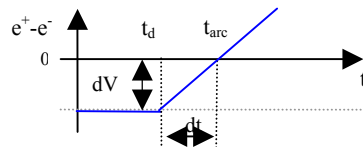


$$dV_{in} = \left(\frac{dV_{in}}{dt} \right) dt \quad \text{avec } dV_{in} = \sigma_v \text{ et } \sigma_t$$

$$\text{D'où} \quad \sigma_t = \frac{\sigma_v}{\frac{dV_{in}}{dt}}$$

Temps de gigue en mode ARC (Amplitude and Rise Time Compensated)

La figure ci-dessous montre la différence entre les entrées du comparateur e^+ et e^- en considérant que la pente de la partie atténuée (e^+) est très faible.



Le passage à zéro s'effectue avant que le signal n'ait atteint son maximum.

$$\text{A l'instant } t=t_d \text{ l'entrée} \quad e^- = 0 \text{ et } e^+ = KV_e \frac{t_d}{t_m}$$

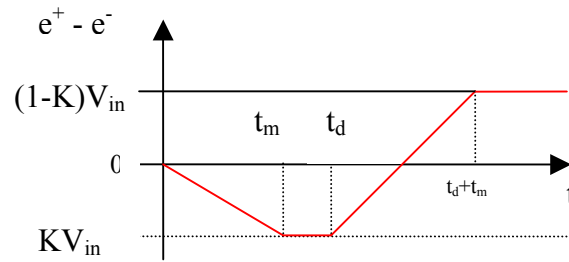
$$\text{Le temps } t_{arc} \text{ est : } t_{arc} = \frac{t_d}{1-k}$$

$$\text{La pente du signal est : } \frac{dv}{dt} = \frac{e^+ - e^-}{t_{arc} - t_d} = \frac{\frac{KV_e}{t_m} t_d}{\frac{t_d}{1-K} - t_d}$$

$$\text{D'où} \quad \frac{dV}{dt} = V_e \frac{1-K}{t_m}$$

$$\sigma_{arc} = \frac{\sigma_{vin} \sqrt{1 + K^2 t_m}}{V_{in} (1 - K)}$$

Temps de gigue en mode TCF (True Constant Time)



L'équation régissant l'entrée e^- est :

$$e^- = (1 - K)V_e \cdot \frac{t}{t_m} - (1 - K)V_e \frac{t_d}{t_m}$$

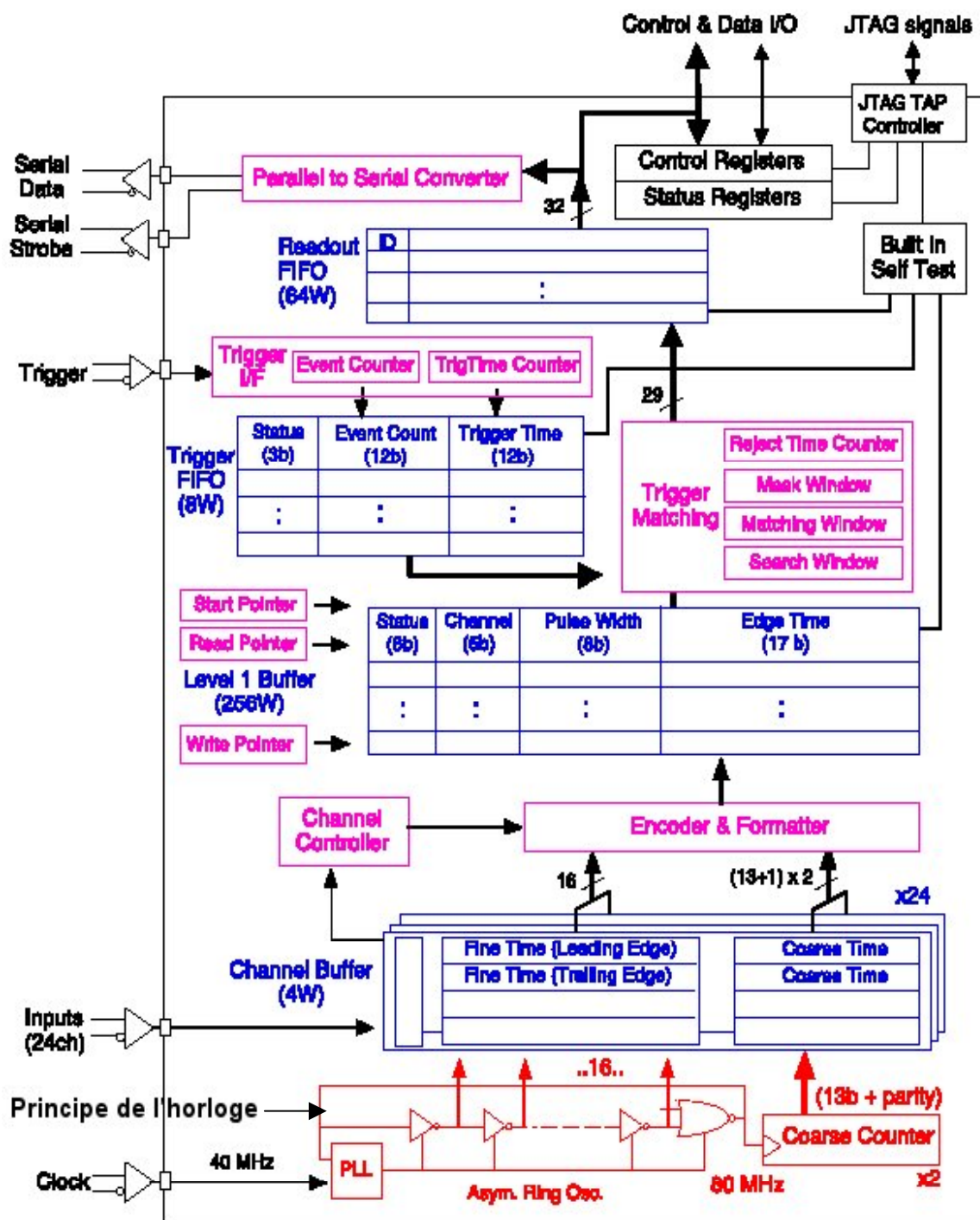
Pour $t = t_{cf}$ on a $e^- = e^+ = KV_e$

$$\text{Donc } t_{cf} = \frac{K \cdot t_m}{1 - K} + t_d$$

$$\sigma_{tcf} = \frac{\sigma_{vin} \sqrt{1 + K^2 t_m}}{V_{in}}$$

Annexe 7 Documentation TDC.

Le synoptique du TDC AMT-1 est composé d'une horloge réalisée à l'aide d'une *PLL* et du retard engendré par les portes logiques (voir bas du synoptique).



Principales caractéristique du TDC

Résolution	0,78 ns/bits
Temps résolution	RMS = 300 ps
Gamme dynamique	13+4=17 bit (102.4 μ s)
Non linéarité	Max = \pm 80ps
Non linéarité différentielle	Max = \pm 80 ps
Stabilité	<0,1 LSB
Entrée d'horloge	10-70 MHz
Mode PLL	x1, x2, x4 ou x8
Nombre de canaux	24
Longueur du « buffer »	256 mots
Fréquence maximum d'acquisition	500 kHz / canaux
Niveau d'entrée	Low Voltage Differential Signaling (LVDS) Resistance d'adaptation de 100 Ω interne
Tension d'alimentation	3,3 \pm 0.3 V (<200 mA)
Gamme de température	0 à 85°C
Boitier	0,5 mm et 144 broches

Bibliographie

- [1] ZITOUN Robert, *Introduction à la physique des particules*, Editions DUNOD 2^{ème} edition
- [2] GORDON KANE, *Le jardin des particules*, Editions Masson (1996), p137-149
- [3] ATLAS / Tile Calorimeter Collaboration, *ATLAS Technical Design Report of the Tile Calorimeter*, CERN/LHCC 96-12, 15/12/96.
- [4] LAMBERT Michel, *Introduction à la mécanique quantique*, Edition Ellipses, p18-p20.
- [5] BISCARAT Catherine, *Calibration in-situ du calorimètre hadronique du détecteur ATLAS par la méthode E/P*, thèse au Laboratoire de Physique Corpusculaire de Clermont-Ferrand, 2001.
- [6] VARELA J., *Timing and synchronisation in the LHC experiments*, 6th Workshop on electronics for LHC experiment, Cracovie 11-15 Septembre 2000.
- [7] DANGOISSE Didier, HENNEQUIN Daniel, ZEHNLE-DHAOUI, *Les Lasers*, Edition Dunod, chapitre I.
- [8] ALJALTOUNI ZIAD et al., *The Tilecal laser monitoring*, ATLAS internal note, TILECAL-NO-039, 6 décembre 1994.
- [9] SPECTRA PHYSIQCS, *J-Series Q-switched ND:YVO₄ Laser Systems*, J20-BL10-106Q users manual.
- [10] ALTERA CORPORATION, *ACEX 1K programmable logic device*, note d'application AD-DS-ACEX-3.3, <http://www.altera.com>.
- [11] ALTERA CORPORATION, *Enhanced configuration device*, note d'application DS-ECD-2.0, <http://www.altera.com>.
- [12] NAYMAN P, *Mesures temporelles et conversion analogique-numérique*, Ecole du détecteur à la mesure IN2P3, <http://institut.in2p3.fr/page/formation/detect2/ecoleinst.pdf>, Aussois décembre 2000.
- [13] ARAI Yasuo, *AMT-1 Data Sheets*, révision 0.1, 10 octobre 2000, <http://atlas.kek.jp>

Index des figures

Figure 1-1 Schéma de l'accélérateur du CERN.	4
Figure 1-2 Détecteur Atlas avec, en rouge, le calorimètre hadronique.	5
Figure 1-3 Schéma d'un détecteur sur un accélérateur collisionneur.	6
Figure 1-4 Constitution d'un détecteur (vue en coupe).	7
Figure 1-5 Secteur de calorimètre.	8
Figure 1-6 Schéma de fonctionnement d'un photomultiplicateur.	9
Figure 1-7 Forme du signal de sortie d'un photomultiplicateur.	10
Figure 1-8 Contenu du bloc PM.	10
Figure 1-9 Photographie du montage des fibres dans un module du calorimètre.	11
Figure 1-10 Synthétique de la calibration du calorimètre à tuiles scintillantes.	11
Figure 2-1 Structure des croisements du LHC.	13
Figure 3-1 Synoptique de la cavité laser.	17
Figure 3-2 Principe de la cellule acousto-optique.	19
Figure 3-3 Photographie du prototype de la boîte laser.	19
Figure 3-4 Synoptique de calibration de la boîte laser.	20
Figure 3-5 Enceinte de confinement du laser.	21
Figure 3-6 Schéma d'une photodiode.	22
Figure 3-7 synoptique de la chaîne électronique des photodiodes.	23
Figure 3-8 Synoptique du banc de test du système laser.	24
Figure 3-9 Courbe de réponse du laser à un signal échelon d'amplitude variable.	25
Figure 4-1 Synoptique du système laser.	26
Figure 4-2 Synoptique de l'entrée de discrimination.	27
Figure 4-3 Augmentation de la dynamique du laser grâce aux filtres.	28
Figure 4-4 Signaux photodiodes à gauche sans soustraction des piédestaux et à droite avec.	31
Figure 5-1 Structure interne des entrées-sorties de l'ACEX IK.	35
Figure 5-2 Mode de programmation série d'un FPGA.	37
Figure 5-3 Configuration série passive.	38
Figure 5-4 Principe de la configuration JTAG.	38
Figure 6-1 Synoptique de la simulation analogique.	39
Figure 6-2 Capture de l'oscilloscope du simulateur, impulsion d'entrée à gauche	40
Figure 6-3 Principe de fonctionnement de la simulation numérique.	41
Figure 6-4 Description VHDL d'un retard programmable.	42
Figure 6-5 Description de test de GestionRetard.	42
Figure 6-6 Résultat graphique de simulation.	43
Figure 6-7 Synoptique de la synthèse.	44
Figure 6-8 Résultat de la synthèse du module retard.vhd.	44
Figure 6-9 Résultat de la synthèse de l'étage mise en forme.	44
Figure 6-10 Partie du résultat de la synthèse vue constructeur (ALTERA).	45
Figure 7-1 Photographie de la carte SLAMA.	48
Figure 7-2 Synoptique de la carte SLAMA.	50
Figure 7-3 Principe du comparateur à seuil constant.	50
Figure 7-4 Chronogramme du comparateur à seuil.	51
Figure 7-5 temps de montée des signaux.	51
Figure 7-6 Principe du discriminateur à fraction constante.	52
Figure 7-7 Schéma de principe d'un discriminateur à fraction constante.	52
Figure 7-8 Principe du mode ARC.	54
Figure 7-9 Principe du mode TCF.	55
Figure 7-10 Reconstitution du signal photomultiplicateur.	56
Figure 7-11 Schéma de principe d'un TDC.	57
Figure 7-12 Rôle de la mesure TDC.	57
Figure 7-13 Machine d'état interface EGA.	58
Figure 7-14 Chronogramme du TDC AMT-1.	59
Figure 7-15 Synoptique de l'unité de calcul.	61
Figure 7-16 synoptique de l'unité d'ajustements.	61
Figure 7-17 Synoptique de l'unité de déclenchement.	62
Figure 7-18 Synoptique de la logique autonome.	63

Figure 7-19 Cycle de lecture du bus VME.	64
Figure 7-20 Cycle d'écriture du bus VME.	64
Figure 7-21 machine d'état de l'interface VME.	65
Figure 8-1 Synoptique du test des discriminateurs.	67
Figure 8-2 Oscillogramme de la sortie du discriminateur à fraction constante.	68
Figure 8-3 Synoptique de configuration des FPGA.	69
Figure 8-4 Modèle VHDL permettant d'allumer D9, D11, D12 via l'interface VME.	70
Figure 8-5 Synoptique de l'interface de contrôle et d'acquisition.	70
Figure 8-6 Chronogramme du bus VME en écriture.	71
Figure 8-7 Signaux LVDS.	71
Figure 8-8 Oscillogramme des entrées LVDS (à gauche) et des sorties (à droite)	72
Figure 8-9 Forme du signal NIM.	73
Figure 8-10 Oscillogramme des sorties NIM.	73
Figure 8-11 Forme du signal ECL unipolaire.	74
Figure 8-12 Oscillogramme des sorties ECL.	74
Figure 8-13 Photo de la carte fille supportant le TDC-AMT1.	75
Figure 8-14 Synoptique de chargement du CNA.	75
Figure 8-15 Oscillogramme de la sortie CNA.	76
Figure 8-16 Capture d'écran du logiciel LABVIEW.	76

Index des tableaux

<i>Tableau 1-1 Correspondance entre énergie cinétique et vitesse pour les protons.</i>	5
<i>Tableau 1-2 masse de quelques particules.</i>	6
<i>Tableau 4-1 Principales caractéristiques du CAN V265</i>	30
<i>Tableau 5-1 Description de la famille ACEX</i>	34
<i>Tableau 5-2 Structure des éléments logiques des ACEX</i>	36
<i>Tableau 6-1 Détail des macro commandes.</i>	46
<i>Tableau 7-1 principales caractéristiques du TDC AMT-1</i>	58
<i>Tableau 7-2 Description VHDL d'une mémoire double accès</i>	60
<i>Tableau 7-3 Transfert en fonction de « l'adress modifier ».</i>	63
<i>Tableau 8-1 Affectation des entrées sorties LVDS</i>	72
<i>Tableau 8-2 Affectation des entrées sorties NIM</i>	73
<i>Tableau 8-3 Affectation des entrées sorties ECL.</i>	74

Logique de décision destinée à l'étalonnage d'un détecteur en physique des particules par un système laser.

Daniel Lambert

Mémoire d'ingénieur C.N.A.M., Clermont-Ferrand 2002

RESUME : Le détecteur ATLAS conçu pour étudier la physique des particules, sera mis en service à partir de 2007 sur le Grand Collisionneur de Hadrons (LHC). Il sera dédié à la recherche du boson de HIGGS et à des études dans le cadre du modèle standard ou en dehors. Le calorimètre à tuiles scintillantes est un sous-ensemble du détecteur ATLAS. Les 10000 voies de lecture, composant ce calorimètre, sont constituées de photomultiplicateurs qui transforment la lumière en signal électrique. La reconstruction du passage des particules et l'énergie déposée dans le détecteur doivent être connues avec précision. Pour cela, chaque sous-ensemble dispose de plusieurs systèmes d'étalonnage. Le système utilisé par le calorimètre à tuiles scintillantes pour calibrer les photomultiplicateurs et l'électronique associée est un laser.

Le système laser possède son propre système de calibration afin de connaître avec précision l'impulsion lumineuse transmise aux photomultiplicateurs du calorimètre, soit :

- quatre photodiodes qui reçoivent une fraction du faisceau laser,
- une source radioactive, passant devant les photodiodes dont l'énergie des particules alpha émises est monoénergétique,
- une injection de charge pour connaître la linéarité des préamplificateurs des photodiodes.

Pour commander ce système laser, le prototype d'une carte électronique SLAMA a été développé et réalisé. Cette carte, qui s'insère dans un châssis VME, se compose de trois parties : la première est l'interface avec le logiciel via le bus VME, la deuxième met en forme les signaux analogiques provenant des photomultiplicateurs et des photodiodes et la troisième doit prendre en compte le temps de réponse du laser.

Les signaux électroniques issus des entrées analogiques sont mis en forme par des discriminateurs à fraction constante. Ils ont pour particularité d'avoir une gigue sur le temps de réponse peu dépendante de l'amplitude du signal d'entrée.

Le temps de réponse du laser est dépendant de l'amplitude de l'impulsion lumineuse. La carte SLAMA intègre une fonction dédiée à ce calcul, pour optimiser les calibrations pendant l'absence d'événements physiques.

Elle est dotée de fonctions diverses réalisées à l'aide de composants numériques programmables FPGA et de circuits spécifiques :

- une interface avec le bus VME,
- un convertisseur temps-numérique TDC, ASIC développé au CERN,
- l'unité de calculs et d'ajustements du retard de déclenchement du laser,
- une logique de fonctionnement autonome.

Les tests préliminaires avant l'intégration complète dans le système ont été effectués en laboratoire. Ils permettent de confirmer la faisabilité de la fonction commande et contrôle du laser. Ils montrent également une grande souplesse de la carte, grâce à la possibilité de reconfiguration in-situ.

MOTS-CLES : laser, discrimination, électronique numérique programmable, photomultiplicateur, photodiode, FPGA, VME, traitement du signal.

KEYWORDS : laser, discrimination, programmable digital electronics, photomultiplier, photodiode, FPGA, VME, signal processing.